



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Übersetzung der  
europäischen Patentschrift

③7 EP 0 448 020 B1

⑩ DE 691 27 489 T 2

⑤1 Int. Cl. 8:  
H04 Q 11/04  
H 04 J 3/18

- |    |   |              |
|----|---|--------------|
| ②1 | Deutsches Aktenzeichen:                               | 691 27 489.4 |
| ③6 | Europäisches Aktenzeichen:                            | 91 104 173.9 |
| ③6 | Europäischer Anmeldetag:                              | 18. 3. 91    |
| ③7 | Erstveröffentlichung durch das EPA:                   | 25. 9. 91    |
| ③7 | Veröffentlichungstag<br>der Patenterteilung beim EPA: | 3. 9. 97     |
| ④7 | Veröffentlichungstag im Patentblatt:                  | 8. 1. 98     |

③0 Unionspriorität:

9003465 19.03.90 FR

⑦3 Patentinhaber:

Alcatel Cit, Paris, FR

⑦4 Vertreter:

Spott Weinmiller & Partner, 82340 Feldafing

③4 Benannte Vertragsstaaten:

AT, BE, CH, DE, ES, FR, GB, IT, LI, NL, SE

⑦2 Erfinder:

Guinand, Jacques, F-78470 Saint Remy Les  
Chevreuse, FR; Ferrant, Jean-Loup, F-92100  
Boulogne-Billancourt, FR; Faye, Jean-Claude,  
F-91190 Gif sur Yvette, FR; Roux, Herve, F-91300  
Massy, FR

- ⑤4 Elementäre Schaltungseinheit zur Verzweigung von digitalen Bitflüssen durch Zeitvervielfachung von Bitströmen mit verschiedener Bitrate

DE 691 27 489 T 2

BEST AVAILABLE COPY

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 691 27 489 T 2

91104173.9-2209  
Fo 17555 EM/EP

Die vorliegende Erfindung bezieht sich auf digitale Übertragungssysteme, in denen die Übertragung in Form von multiplexierten, digitalen Datenfolgen stattfindet, die durch zeitliche Multiplexierung von digitalen ankommenden Teilfolgen mit unterschiedlichen Durchsätzen gemäß einer synchronen Multiplexierungshierarchie erhalten werden.

Die vorliegende Erfindung betrifft insbesondere Verteileinrichtungen für solche Nachrichtensysteme, die eine Verteilung der in Rahmen zusammengefaßten, auf mehreren eingehenden Übertragungsträgern ankommenden Datenströme gemäß einem vorbestimmten Gesetz auf die ausgehenden Rahmen durchführen, die mehrere ausgehende Datenträger benutzen.

Eine synchrone Multiplexierhierarchie für ankommende digitale Datenströme mit unterschiedlichen Durchsätzen ist in den Empfehlungen G707, G708, G709 des CCITT definiert. Das Prinzip dieser Hierarchie wird schematisch in Figur 1 wiedergegeben. Die verschiedenen mit dieser Hierarchie multiplexierbaren Durchsätze betragen 2048 kbit/s, 8448 kbit/s, 34.368 kbit/s, 1544 kbit/s, 6312 kbit/s, 44.736 kbit/s und 139.264 kbit/s, die durch das CCITT genormt wurden und im rechten Teil der Figur angegeben sind.

Diese Multiplexierhierarchie enthält mehrere mögliche Multiplexierstrukturen je nach dem Durchsatz der ankommenden und zu multiplexierenden Datenströme für eine betrachtete Anwendung, und jede Multiplexierstruktur, wie z.B. die mit verstärkten Linien in dieser Figur markierte, die ankommenden zu multiplexierenden Datenströmen mit Durchsätzen 1544 kbit/s, 2048 kbit/s, 8448 kbit/s und 34.368 kbit/s entspricht, enthält mehrere hierarchische Ebenen, die in dem betrachteten Beispiel N1, N2 und N3 heißen, indem man vom rechten Teil der Figur zum linken Teil in Richtung der Bildung der Rahmen ausgehend von den verschiedenen ankommenden Datenströmen fortschreitet.

In den verschiedenen hierarchischen Ebenen einer Multiplexierstruktur können Datenströme eingespeist werden und werden von Einheiten gebildet, die nachfolgend Container genannt werden, sowie von Einheiten, die nachfolgend Multiplexiereinheiten genannt werden.

Es sei bemerkt, daß die Begriffe Container und Multiplexiereinheit sowohl verwendet werden, um ganz allgemein Folgen von Einheiten zu bezeichnen, als auch, um individuelle Elemente dieser Folgen zu bezeichnen.

Die Multiplexiereinheiten, die auf einer gegebenen hierarchischen Ebene gebildet werden und mit TU oder AU bezeichnet werden (TU11, TU12, TU22 für die Ebene N1, TU31 für die Ebene N2 und AU4 für die Ebene N3 in dem betrachteten Beispiel), werden durch Hinzufügung von Indexier- und Berechtigungssignalen zu dem auf der jeweiligen hierarchischen Ebene gebildeten Container bezüglich dieser Multiplexiereinheit gebildet.

Die auf einer gegebenen hierarchischen Ebene gebildeten Container VC (VC11, VC12, VC22 für die Ebene N1, VC31 für die Ebene N2 und VC4 für die Ebene N3 in dem betrachteten Beispiel) werden durch Hinzufügung von Dienstsignalen entweder zu Multiplexsignalen, die aus der Multiplexierung von n Multiplexiereinheiten, die auf einer niedrigeren hierarchischen Ebene gebildet wurden, oder zu sogenannten Informationssignalen gebildet, die aus einem ankommenden Datenstrom entnommen werden, der auf der betrachteten Ebene C hinzugefügt wird (C11, C12, C22 für die Ebene N1 und C31 für die Ebene N2 in dem betrachteten Beispiel).

Das Schema der Bildung der verschiedenen Container oder Multiplexiereinheiten im Fall der oben als Beispiel betrachteten Multiplexierstruktur ist in Figur 2 angegeben. Ein Container VC4, der auf der Ebene N3 gebildet ist, ergibt sich durch Multiplexierung von Signalen, die von vier Multiplexiereinheiten TU31a, TU31b, TU31c, TU31d stammen, die auf der Ebene N2 gebildet wurden.

Zwei dieser Multiplexiereinheiten TU31a und TU31b werden ausgehend von Containern VC31a und VC31b gebildet, die ihrerseits ausgehend von Datenzuflüssen mit einem Durchsatz von 34.358 kbit/s gebildet werden, die in der Ebene N2 hinzugefügt wurden.

Die beiden anderen Multiplexiereinheiten TU31c und TU31d werden ausgehend von Containern VC31c und VC31d gebildet, die ihrerseits aus besonderen Multiplexiereinheiten TUG22 auf der Ebene N1 gebildet werden und nur eine Multiplexierung von bereits auf dieser hierarchischen Ebene gebildeten Multiplexiereinheiten ohne Hinzufügung von Indexier- und Berechtigungssignalen bewirken.

Der Container VC31c wird genauer betrachtet aus vier Multiplexiereinheiten TUG22a, TUG22b, TUG22c, TUG22d gebildet, die ihrerseits aus vier Multiplexiereinheiten TU22a, TU22b, TU22c, TU22d bestehen. Letztere werden ausgehend von vier Containern VC22a, VC22b, VC22c, VC22d gebildet, die aus vier Datenzuflüssen C22a, C22b, C22c, C22d mit 8448 kbit/s gebildet werden.

Der Container VC31d ergibt sich durch Multiplexierung von vier Multiplexiereinheiten TUG22e, TUG22f, TUG22g, TUG22h, von denen die beiden erstgenannten TUG22e und TUG22f wie die Multiplexiereinheiten TUG22a, TUG22b, TUG22c, TUG22d aus Datenflüssen C22e und C22f mit je 8448 kbit/s gebildet werden.

Die dritte Multiplexiereinheit TUG22g wird aus fünf Multiplexiereinheiten TU11a, TU11b, TU11c, TU11d, TU11e gebildet, die aus Containern VC11a, VC11b, VC11c, VC11d bzw. VC11e gebildet werden. Letztere werden von je einem Datenfluß mit 1544 kbit/s C11a, C11b, C11c, C11d, C11e gebildet.

Die vierte Multiplexiereinheit TUG22h entsteht aus vier Multiplexiereinheiten TU12a, TU12b, TU12c, TU12d, die ihrerseits aus Datenflüssen C12a, C12b, C12c bzw. C12d mit einem Durchsatz von 2048 kbit/s gebildet werden.

Die Multiplexiereinheit auf der höchsten hierarchi-

schen Ebene, d.h. die Multiplexiereinheit AU4 in dem betrachteten Beispiel, ergibt sich durch Hinzufügung von Berechtigungs- und Indexiersignalen zum auf dieser Ebene gebildeten Container, d.h. zum Container VC4 in dem betrachteten Beispiel.

Die resultierenden Rahmen STM werden durch Hinzufügung von Dienstsignalen zu den auf der höchsten hierarchischen Ebene gebildeten Multiplexiereinheiten erhalten.

Die unterschiedlichen Durchsätze der Datenzuflüsse, die die Rahmen bilden, welche aus der synchronen hierarchischen Multiplexierung resultieren, zeigen sich in der Tatsache, daß die Datenflüsse im Inneren der so erhaltenen Rahmen Wiederholperioden ihrer verschiedenen Informationssignale besitzen, die umso geringer sind, je größer für einen gegebenen Datenfluß der Durchsatz ist. Dieser Wiederholperiode ergibt sich, indem das Produkt der Multiplexierfaktoren  $n$  gebildet wird, die entlang der Multiplexierstruktur für den betrachteten Datenzufluß angetroffen werden. Beispielsweise besitzt die Wiederholperiode des Datenzuflusses C12 mit 2048 kbit/s den Wert 64, die der Datenzuflüsse C11 mit einem Durchsatz von 1544 kbit/s den Wert 80, die der Datenzuflüsse C22 mit einem Durchsatz von 8448 kbit/s den Wert 16 und die der Datenflüsse C31 mit einem Durchsatz von 34.368 kbit/s den Wert 4.

Die diesen Containern in einer hierarchischen Ebene hinzugefügten Berechtigungssignale zur Bildung der Multiplexiereinheiten erlauben eine Anpassung des Taktes der diese Container bildenden Signale an den Takt eines örtlichen Taktgebers, der auf dieser hierarchischen Ebene verwendet wird, aufgrund der bekannten positiv-negativen Berechtigung, gemäß der ein Signal eines Containers von Zeit zu Zeit die Stelle eines Füllsignals einnimmt, das hierzu in der ausgehend von diesem Container gebildeten Multiplexiereinheit vorgesehen ist, wenn der erste Takt schneller als der zweite ist, und ein Füllsignal nimmt von Zeit zu Zeit die Stelle

eines Signals eines Containers ein, wenn der erste Takt langsamer als der zweite ist.

Die auf den verschiedenen hierarchischen Ebenen erarbeiteten Indexiersignale ermöglichen es, auf Container unterer Ebenen Berechtigungsoperationen wirksam werden zu lassen, die auf den Containern höherer Ebenen durchgeführt wurden, um die synchrone Multiplexierung zu berücksichtigen, die in den verschiedenen Ebenen der Multiplexierhierarchie gilt. Genauer betrachtet kann man mit diesen Signalen jeden auf einer hierarchischen Ebene gebildeten Container bezüglich der entsprechenden auf dieser Ebene gebildeten Multiplexiereinheit positionieren, indem man Berechtigungsoperationen berücksichtigt, die auf diesem Container für einen bestimmten Rahmen und für frühere Rahmen durchgeführt wurden. Sie haben außerdem eine bestimmte Lage innerhalb der entsprechenden Multiplexiereinheit und damit auch innerhalb des entsprechenden Containers, der auf der unmittelbar darüberliegenden hierarchischen Ebene gebildet wurde, so daß durch aufeinanderfolgenden Rückgriff auf die in den verschiedenen angetroffenen hierarchischen Ebenen erarbeiteten Indexiersignale beim Durchlauf der Multiplexierstruktur in umgekehrter Richtung zur Richtung der Bildung der Rahmen ausgehend von den ankommenden Datenflüssen der betreffende Container im Inneren der Rahmen lokalisiert werden kann.

Die den auf der höchsten hierarchischen Ebene gebildeten Multiplexiereinheiten hinzugefügten Dienstsignale für die Bildung der Rahmen sind an sich wiederholenden Stellen innerhalb dieser Rahmen lokalisiert, so daß sich eine übliche Darstellung dieser Rahmen in Form von Verzeichnissen oder Matrizen ergibt, die in der Praxis neun Zeilen von 0 bis 8 und 270 Spalten von 0 bis 269 besitzen und von links nach rechts und von oben nach unten gelesen werden, d.h. Zeile für Zeile, wobei jeder Schnittpunkt zwischen einer Zeile und einer Spalte einem in der Praxis durch ein Byte gebildeten Signal entspricht (bei dem es sich um ein Dienst-

signal, ein Berechtigungssignal, ein Indexiersignal oder ein Informationssignal handelt).

5 Eine Einrichtung zur Verteilung von multiplexierten digitalen Datenströmen enthält in bekannter Weise ein Vermittlungsnetz, das ausgehend von Informationen über die zeitliche Lage, die von den Datenflüssen in den Rahmen in der betrachteten Multiplexierhierarchie eingenommen wird, von dem oben erwähnten Verteilgesetz und von ankommenden Rahmen ausgehende Rahmen erarbeitet, deren Datenflüsse durch  
10 aus den ankommenden Rahmen mit deren Ankunftstakt auf diesen ankommenden Rahmen entnommenen Datenflüssen gebildet werden und in die ausgehenden Rahmen an durch das Verteilgesetz angegebenen zeitlichen Stellen eingefügt werden.

15 Eine bekannte Struktur eines solchen Vermittlungsnetzes entsprechend einem quadratischen Netz ist in Figur 3 dargestellt. Dieses Vermittlungsnetz wird aus Vermittlungseinheiten  $UC_{ij}$  gebildet, die in Form einer Matrix mit  $I$  Zeilen und  $J$  Spalten angeordnet sind ( $0 \leq i \leq I-1$  und  $0 \leq j \leq J-1$ ). Beispielsweise betrachtet man den Fall  $I = J = 3$   
20 entsprechend einer Matrix mit drei Zeilen und drei Spalten, sowie 24 ankommende Kanäle  $E_0$  bis  $E_{23}$  sowie 24 ausgehende Kanäle  $S_0$  bis  $S_{23}$  in dieser Einrichtung.

Die so angeordneten Vermittlungseinheiten besitzen senkrechte Eingänge, waagrechte Eingänge und senkrechte  
25 Ausgänge, die folgendermaßen angeschlossen sind:

Die 24 Eingangskanäle sind auf die drei Zeilen der Matrix verteilt, und zwar acht eingehende Kanäle auf jede Zeile, die an die waagrechten Eingänge der Vermittlungseinheit dieser Zeile angeschlossen sind.

30 Die 24 ausgehenden Kanäle sind auf die drei Vermittlungseinheiten der Zeile 2 der Matrix verteilt, und zwar acht ausgehende Kanäle je Vermittlungseinheit, die an den senkrechten Ausgängen dieser Vermittlungseinheit erhalten werden.

35 Den senkrechten Eingängen der drei Vermittlungsein-

heiten der Zeile 0 sind 24 Kanäle zugewiesen, die Bezugs-  
kanäle R0 bis R23 der ausgehenden Rahmen genannt werden und  
zu je acht Bezugskanälen an die senkrechten Eingänge jeder  
Vermittlungseinheit dieser Zeile verteilt sind.

5       An die senkrechten Eingänge der Vermittlungseinheiten  
der Zeile 1 sind außerdem die senkrechten Ausgänge der  
Vermittlungseinheiten der Zeile 0 angeschlossen, und an die  
senkrechten Eingänge der Vermittlungseinheiten der Zeile 2  
sind die senkrechten Ausgänge der Vermittlungseinheiten der  
10    Zeile 1 angeschlossen.

Die Rahmen der verschiedenen ausgehenden Kanäle  
dieser Verteileinrichtung werden progressiv beim Durchlaufen  
der verschiedenen Spalten dieser Matrix unter Berücksichti-  
gung der verschiedenen Bezugsrahmen für jede Elementarstelle  
15    gebildet, und zwar der oder jener Datenfluß aus dem oder  
jenem ankommenden Rahmen je nach dem Verteilungsgesetz der  
ankommenden Rahmen auf die ausgehenden Rahmen, wie oben  
erwähnt.

Diese Berücksichtigung erfolgt genauer auf die in  
20    Figur 4 dargestellte Art für eine Untergruppe einer Vermitt-  
lungsarbeit, die elementare Vermittlungseinheit genannt wird  
und nur einen einzigen senkrechten Eingang E'1 und einen  
einzigsten senkrechten Ausgang S'1 sowie K waagrechte Eingänge  
E0 bis EK-1 besitzt (im betrachteten Beispiel gilt  $K = 8$ ).

25       Der betrachtete senkrechte Eingang wird an einen  
ersten Multiplexer MUX0 angelegt, an den außerdem über einen  
ersten Speicher MEM0 der Eingang E0 gelangt.

Der Ausgang des Multiplexers MUX0 ist mit einem  
zweiten Multiplexer verbunden, der außerdem den Eingang E1  
30    über einen Speicher MEM1 empfängt usw.

Die eigentliche Vermittlungsfunktion erfordert  
nämlich ein vorheriges Beschreiben der Speicher MEM0, MEM1  
usw. mit den zu vermittelnden Signalen über die Multiplexer  
MUX0, MUX1 usw., wobei diese Speicher sequentiell durch die  
35    zu verteilenden Signale in der Reihenfolge beschrieben



werden, in der sich diese Signale in den ankommenden Rahmen präsentieren, und werden in einer beliebigen Reihenfolge ausgelesen, die das gewünschte Verteilgesetz in Höhe dieser elementaren Vermittlungseinheit zu realisieren erlaubt. Die Steuerung dieser Speicher ist in Figur 4 durch Steuersignale C angedeutet, die von einem zentralen Steuerorgan kommen, wie z.B. einem Mikroprozessor.

10 In den bereits bekannten Verteileinrichtungen, die auf multiplexierte digitale Datenzüge durch synchrone Zeitmultiplexierung der plesiosynchronen digitalen Datenzuflüsse einwirken, d.h. der Datenzuflüsse mit gleichem Nenndurchsatz, dimensioniert man üblicherweise diese Speicher so, daß jeder Speicher die Gesamtheit der in einem ankommenden Rahmen enthaltenen zu verteilenden Signale aufnehmen kann.

15 In dem betrachteten Fall einer synchronen Zeitmultiplexierung von digitalen Datenflüssen unterschiedlicher Durchsätze ergäbe diese Lösung Verteileinrichtungen einer exzessiven Größe angesichts der Anzahl von in jedem Rahmen zu speichernden Signale, nämlich  $270 \cdot 9$ , also 2430 Signale, wobei jedes Signal durch ein Byte gebildet wird, was insgesamt 19.440 Binärelemente ergibt.

20 Die deutsche Patentanmeldung DE-A-2 616 038 (LM ERICSSON) beschreibt eine elementare Vermittlungseinheit, die für jeden Übertragungskanal von ankommenden Rahmen enthält:

25 - Mittel zur Entnahme von Signalen, die die zu verteilenden Multiplexiereinheiten der ankommenden Rahmen bilden,

30 - einen Speicher für Signale, die zu verteilende Multiplexiereinheiten bilden, wobei der Speicher mindestens N Signale aufnehmen kann und N die Periode des Datenflusses mit dem niedrigsten Durchsatz der Multiplexierhierarchie bedeutet,

35 - Mittel zum Einschreiben in diesen Speicher synchron mit dem Entnahmetakt, und zwar an unterschiedlichen Adressen für Signale, die unterschiedliche zu verteilende Multiplexiereinheiten bilden, und an gleichen Adressen für Signale, die

eine gemeinsame zu verteilende Multiplexiereinheit bilden, wobei die Frequenz des Wiedereinschreibens an jeder Adresse mit der Wiederholperiode der an dieser Adresse eingeschriebenen Signale verknüpft ist,

- 5 - Mittel zum Auslesen aus diesem Speicher synchron mit dem Einfügungstakt in die ausgehenden Rahmen von Signalen, die zu verteilende Multiplexeinheiten bilden, und zwar an Adressen, die durch das Verteilgesetz bestimmt sind.

10 Ziel der vorliegenden Erfindung ist eine elementare Vermittlungseinheit für eine Einrichtung zur Verteilung von digitalen Datenzügen, die durch zeitliche Multiplexierung von digitalen Datenflüssen mit unterschiedlichen Durchsätzen multiplexiert sind, wobei diese Einheit an solche digitalen Datenzüge angepaßt sein soll.

- 15 Gegenstand der Erfindung ist eine elementare Vermittlungseinheit für eine Verteileinrichtung von durch zeitliche Multiplexierung von digitalen Datenströmen unterschiedlicher Durchsätze multiplexierten digitalen Daten gemäß einer synchronen Multiplexierhierarchie, auf deren verschiedenen  
20 Ebenen Datenzuflüsse eingegeben werden können und die Multiplexiereinheiten genannt werden, welche entweder Multiplexsignale sind, die aus der Multiplexierung von Multiplexiereinheiten einer niedrigeren hierarchischen Ebene gebildet werden oder von Signalen aus den ankommenden Datenströmen  
25 gebildet werden, wobei die elementare Vermittlungseinheit gemäß einem bestimmten Gesetz eine Verteilung der Signale, die Multiplexiereinheiten bilden, sogenannte zu verteilende Multiplexiereinheiten, von ankommenden Rahmen, die auf mehreren ankommenden Übertragungskanälen in dieser elementa-  
30 ren Vermittlungseinheit ankommen, auf ausgehende Rahmen bewirkt, die auf einem ausgehenden Übertragungskanal dieser Vermittlungseinheit verlaufen, wobei die Vermittlungseinheit für jeden Übertragungskanal von ankommenden Rahmen aufweist:  
- Mittel zur Entnahme von Signalen aus den zu verteilenden  
35 Multiplexiereinheiten der ankommenden Rahmen,

- einen Speicher für die Signale von zu verteilenden Multiplexiereinheiten, der mindestens N Signale enthalten kann, wobei N die Wiederholperiode in den ankommenden Rahmen von Datenflüssen mit dem kleinsten Durchsatz der Multiplexierhierarchie bezeichnet,

- Mittel, um ein Einschreiben in diesen Speicher synchron mit dem Entnahmerhythmus der Signale an unterschiedlichen Adressen für Signale von unterschiedlichen zu verteilenden Multiplexiereinheiten bzw. an gleichen Adressen für Signale einer gleichen zu verteilenden Multiplexiereinheit zu gewährleisten, wobei die Frequenz des Wiedereinschreibens an jeder Adresse mit der Wiederholperiode der an dieser Adresse eingeschriebenen Signale in den ankommenden Rahmen verknüpft ist,

- Mittel, um ein Lesen dieses Speichers synchron mit dem Einfügerhythmus von Signalen der zu verteilenden Multiplexiereinheiten in die Ausgangsrahmen an durch das Verteilgesetz bestimmten Adressen zu gewährleisten, dadurch gekennzeichnet, daß die Leseadressen des Speichers für die zu verteilenden Multiplexiereinheiten durch ein mit dem Einfügerhythmus synchrones Auslesen eines Verbindungsspeichers erhalten werden, der das Verteilgesetz in Form einer Zuordnung zwischen dem Einfügerhythmus und den Adressen der verschiedenen Speicher von Signalen der zu verteilenden Multiplexiereinheiten in dieser elementaren Vermittlungseinheit enthält, und zwar an unterschiedlichen Adressen für Signale von unterschiedlichen zu verteilenden Multiplexiereinheiten und an gleichen Adressen für Signale von einer gleichen zu verteilenden Multiplexiereinheit, wobei die Frequenz des erneuten Auslesens der Adressen des Verbindungsspeichers mit der Wiederholperiode der Signale der zu verteilenden Multiplexiereinheiten verknüpft ist, die in die ausgehenden Rahmen zu den entsprechenden Zeitpunkten eingefügt werden sollen, und der Periode der Signale gleicht, die an den entsprechenden Adressen des Speichers

für Signale zu lesen sind, die zu verteilende Multiplexiereinheiten bilden.

Andere Gegenstände und Merkmale der vorliegenden Erfindung werden nun anhand eines Ausführungsbeispiels und der beiliegenden Zeichnungen näher erläutert.

Die Figuren 1 bis 4 wurden bereits beschrieben.

Figur 5 zeigt schematisch die Schreibadressierungsmittel eines Speichers für Signale, die zu verteilende Multiplexiereinheiten bilden.

Figur 6 ist ein Verzeichnis, das das Prinzip der Schreibadressierung eines Speichers für Signale deutlich macht, die von zu verteilenden Multiplexiereinheiten gebildet werden.

Die Figuren 7, 8 und 9 zeigen eine Ausführungsform eines Schreibadressengenerators für einen Speicher von Signalen, die zu verteilende Multiplexiereinheiten bilden.

Figur 10 ist ein Verzeichnis, das die Steuerung des Schreibadressengenerators zeigt, der in den Figuren 7, 8 und 9 dargestellt ist.

Figur 11 zeigt schematisch eine elementare Vermittlungseinheit.

Die Figuren 12 bis 33 zeigen eine Ausführungsform der Mittel zur Entnahme von Signalen, die zu verteilende Multiplexiereinheiten bilden.

Unter einer zu verteilenden Multiplexiereinheit versteht man eine Multiplexiereinheit, die auf einer gegebenen hierarchischen Ebene gebildet wird und auf die das Gesetz über die Verteilung der ankommenden Rahmen auf die ausgehenden Rahmen angewendet wird.

Im Fall der Multiplexierhierarchie, deren Prinzip oben anhand von Figur 1 erläutert wurde, ergeben sich die Multiplexiereinheiten auf einer gegebenen hierarchischen Ebene durch Hinzufügen von Indexier- und Berechtigungssignalen zu den auf dieser Ebene gebildeten Containern.

In dem Ausführungsbeispiel einer elementaren Vermitt-

lungseinheit gemäß der Erfindung, die nachfolgend beschrieben wird, wird der Fall der anhand von Figur 2 beschriebenen Multiplexierstruktur betrachtet und man stellt sich beispielsweise vor, daß die zu verteilenden Multiplexiereinheiten die Multiplexiereinheiten TU31a, TU31b, TU22a bis TU22f, 5 TU11a bis TU11e und TU12a bis TU12d sind.

Wie oben erwähnt, hat innerhalb der Rahmen die Wiederholperiode der Signale, die Multiplexiereinheiten TU31 bilden, den Wert 4, die von Multiplexiereinheiten TU22 den 10 Wert 16, die von Multiplexiereinheiten TU11 den Wert 80 und die von Multiplexiereinheiten TU12 den Wert 64.

Jeder Speicher einer elementaren Vermittlungseinheit, auch Speicher von Signalen, die zu verteilende Multiplexiereinheiten bilden, oder auch Speicher von zu verteilenden 15 Signalen genannt, hat eine solche Größe, daß die maximale Periode respektiert wird, die diese Signale haben können. Diese maximale Periode hat den Wert 84 und wird erhalten, wenn man sich auf Figur 1 bezieht, für eine Multiplexierstruktur mit einer Multiplexierung von vier Multiplexier- 20 einheiten TU11, die aus Datenströmen C11 mit einem Durchsatz von 1544 kbit/s in einer besonderen Multiplexiereinheit TUG21 und dann durch eine Multiplexierung von 21 Multiplexiereinheiten TUG21 erhalten wurden, um einen Container VC4 zu bilden.

25 Jeder der so dimensionierten Speicher wird mit den Signalen beschrieben, die zu verteilende Multiplexiereinheiten bilden, welche aus an diesen Speicher angelegten ankommenden Rahmen entnommen wurden.

In Figur 5 trägt ein solcher Speicher das Bezugs- 30 zeichen 1; die Signale, die die zu verteilenden Multiplexiereinheiten bilden und in diesem Speicher gespeichert werden sollen, sind mit SCB bezeichnet; der Entnahmetakt dieser Signale ist mit CK bezeichnet und ein Schreibadressengenerator des Speichers 1 trägt das Bezugszeichen 2 und 35 wird nun anhand des Verzeichnisses aus Figur 6 beschrieben.

Dieses Verzeichnis gibt für jede zu verteilende Multiplexiereinheit, d.h. im betrachteten Beispiel TU31a, TU31b, TU22a bis TU22f, TU11a bis TU11e oder TU12a bis TU12d, deren Typ TCB (d.h. TU31, TU22, TU11 oder TU12) und Periodizität  $T$  (vorliegend 4, 16, 80 oder 64) angegeben sind, wobei die Multiplexiereinheiten einfach durch eine Nummer von 1 bis 17 (siehe Figur 2) identifiziert werden, die Schreibadresse ADE der Signale an, die diese Multiplexiereinheit bilden und nacheinander an den Eingang des Speichers für zu verteilende Signale für eine Gruppe von 80 nacheinander aus den ankommenden Rahmen entnommenen Signalen angelegt werden, wobei der Entnahmerang  $r$  (von 0 bis 79) ebenfalls angegeben ist.

Das Prinzip besteht darin, die an den Eingang dieses Speichers angelegten Signale an identischen Adressen für zu verteilende Signale einzutragen, die eine gemeinsame Multiplexiereinheit bilden, bzw. an unterschiedlichen Adressen für zu verteilende Signale, die unterschiedliche Multiplexiereinheiten bilden.

In dem Ausführungsbeispiel des Schreibadressengenerators 2, der nun anhand von Figur 7 erläutert wird, werden diese Schreibadressen in der Reihenfolge der Entnahme der zu verteilenden Multiplexiereinheiten bildenden Signale zugewiesen und ergeben sich somit, indem man den Rang  $r$  des in einem bestimmten Augenblick an den Eingang des Speichers 1 angelegten Signal modulo der Periode  $T$  der Multiplexiereinheit nimmt, zu der dieses Signal gehört.

Der Schreibadressengenerator in Figur 7 besitzt hierzu eine erste Gruppe 4 von Zählern, die Perioden von zu verteilenden Signalen mit den Werten 4, 16, 64 und 80 zugewiesen sind, bei denen es sich um Vielfache einer gemeinsamen Basisperiode mit dem Wert 4 entsprechend sogenannten "ETSI"-Rahmen handelt. Weiter enthält der Generator eine zweite Gruppe 5 von Zählern, die Perioden von zu verteilenden Signalen mit den Werten 3, 21, 63, 84 zugeordnet sind,

bei denen es sich um Vielfache einer gemeinsamen Basisperiode mit dem Wert 3 entsprechend sogenannten US-Rahmen handelt.

Die erste Gruppe 4 von Zählern enthält, wie in Figur 8 gezeigt, vier Zähler 6, 7, 8, 9, von denen die ersten drei 6, 7, 8, in Kaskade geschaltet sind und der erste durch das Taktsignal CK weitergeschaltet wird und die drei ersten Zähler modulo 4 und der letzte modulo 5 zählen läßt. Der letzte Zähler wird durch den Überlaufausgang des Zählers 7 inkrementiert. Diese Zähler werden durch ein Signal RAZ auf Null gesetzt, dessen Impulse zu bestimmten Zeitpunkten bezüglich des Beginns jedes ankommenden Rahmens erzeugt werden. Jeder Beginn bildet einen neuen Anfangspunkt für die Numerierung der Ränge r. Weiter unten werden insbesondere die Nullsetzungszeitpunkte dieser Zähler 6 bis 9 definiert, d.h. die Zeitpunkte, an denen das Signal RAZ im Fall der ankommenden Rahmen ETSI auftreten.

Die zweite Gruppe von Zählern enthält, wie in Figur 9 zu sehen, vier Zähler 10, 11, 12, 13, die alle durch das Taktsignal CK inkrementiert und durch das Signal RAZ auf Null gesetzt werden, und die von 0 bis 2 bzw. von 0 bis 20 bzw. von 0 bis 62 bzw. von 0 bis 83 zählen. Weiter unten werden außerdem genauer die Nullsetzungszeitpunkte dieser Zähler definiert, d.h. die Zeitpunkte, an denen das Signal RAZ im Fall der ankommenden Rahmen US auftritt.

Der Schreibadressengenerator 2 enthält auch eine Schaltung 14 zur Auswahl des einen oder anderen Zählers oder der einen oder der anderen Gruppe von Zählern gemäß der Periode der betrachteten Multiplexiereinheit am Eingang des Speichers für zu verteilende Signale. Diese Periode ergibt sich durch Auslesen eines Speichers 3, der Speicher für die Beschreibung von ankommenden Rahmen genannt wird, im Takt CK, wobei die Folge der zu verteilenden Multiplexiereinheiten auf den ankommenden Rahmen sowie der Typ dieser Multiplexiereinheiten festgelegt wird. Das in Figur 10 gezeigte

Verzeichnis faßt im Teil I die auszuwählenden Zähler CS gemäß der jeweiligen Periode T im Beispiel der ankommenden Multiplexierungsstruktur ETSI und der zu verteilenden Multiplexiereinheiten zusammen, während im Fall einer ankommenden  
5 Multiplexierstruktur US und der zu verteilenden Multiplexiereinheiten der Typen TU32, TU21, TU12 und TU11 der Teil II dieses Verzeichnisses gilt.

Der Speicher 3 wird sequentiell im Takt CK ausgelesen und enthält in kodierter Form mindestens eine Folge von  
10 Perioden ausreichender Länge, um durch die Wiederholung die Gesamtheit der Signale zu charakterisieren, die zu verteilende Multiplexiereinheiten eines ankommenden Rahmens bilden.

In dem betrachteten Beispiel ergibt sich diese Folge  
15 aus einer Elementarfolge von vier Perioden, die die auf der höchsten hierarchischen Ebene N3 durchgeführte Multiplexierung charakterisieren (dies reicht aus, um die ankommenden Rahmen zu beschreiben, wenn diese ausschließlich von Datenflüssen C31 gebildet werden), indem diese elementare Folge  
20 so oft wie nötig erneuert wird, wobei die beiden letzten Terme so oft wie nötig gewechselt werden, um die auf der darunterliegenden hierarchischen Ebene N2 durchgeführte Multiplexierung zu charakterisieren. Es ist dann nicht  
25 notwendig, die gleiche Operation auf der nächstfolgenden hierarchischen Ebene N1 zu wiederholen, da man zu einer einfachen Wiederholung der neuen so erhaltenen Folge käme, denn die verschiedenen auf der Ebene N1 durchgeführten Multiplexierungen werden jeweils auf Datenflüsse gleichen Durchsatzes angewandt.

30 In diesem Beispiel wird die so erhaltene Folge, wie dies aus den Figuren 2 und 6 hervorgeht, aus den folgenden Perioden gebildet:

4-4-16-16-4-4-16-16-4-4-16-80-4-4-16-64.

Allgemeiner betrachtet muß der Speicher 3 so dimensioniert werden, daß er mindestens eine Anzahl von Perioden  
35



enthalten kann, die für die Gesamtheit der möglichen Multiplexierstrukturen dem Maximalwert des Produkts der in diesen Strukturen verwendeten Multiplexierfaktoren mit Ausnahme derjenigen gleicht, die auf hierarchischen Ebenen auftreten, auf denen nur Datenzuflüsse multiplexiert werden können.

Im Fall der anhand von Figur 1 dargestellten Hierarchie und wie aus dieser Figur hervorgeht, hat dieser Maximalwert die Größe 21.

Die maximale Anzahl von unterschiedlichen Perioden für eine gegebene Multiplexierstruktur hat, wenn man sich auf Figur 1 bezieht, den Wert 7, was für die als Beispiel betrachtete Multiplexierstruktur gilt. Daher hat die maximale Anzahl von für die Binärkodierung dieser Perioden erforderlichen Binärelemente den Wert 3.

Nun wird anhand von Figur 11 die Architektur einer elementaren Vermittlungseinheit für einen ankommenden Rahmen oder eine Horizontale im Sinn der Figur 4 beschrieben.

In Figur 11 ist wieder der Speicher 1 für zu verteilende Signale zusammen mit seiner Schreibadressierschaltung zu sehen, die vom Schreibadressengenerator 2 gebildet wird, welcher durch Auslesen des Beschreibungsspeichers 3 von ankommenden Rahmen gesteuert wird.

In Figur 11 ist weiter die Leseadressierschaltung des Speichers 1 für zu verteilende Signale dargestellt.

Die Leseadressen für den Speicher 1 ergeben sich durch Auslesen eines Speichers 20, Verbindungsspeicher genannt, der für die verschiedenen Speicher von zu verteilenden Signalen einer gemeinsamen elementaren Vermittlungseinheit gemeinsam vorgesehen ist. Dieser Verbindungsspeicher enthält das gewünschte Verteilungsgesetz in Höhe der betrachteten elementaren Vermittlungseinheit und wird seinerseits unter Steuerung durch einen Leseadressengenerator 21 im Rhythmus der Einfügung von unterschiedlichen Signalen in jeden ankommenden Rahmen (oder in vertikaler Richtung gemäß Figur 4) ausgelesen, wobei diese Signale zu verteilende

Multiplexiereinheiten bilden und aus dem ankommenden Rahmen, also in horizontaler Richtung, stammen. Dieser Einfügungstakt ist hier gleich dem Takt CK der Entnahme der zu verteilende Container bildenden Signale aus den ankommenden Rahmen.

Das gewünschte Verteilungsgesetz ist im Verbindungsspeicher 20 in Form einer Korrespondenz zwischen den Zeitpunkten, die durch den Einfügungstakt definiert sind (der die Adressen des Verbindungsspeichers darstellt) und den Adressen der Speicher für in diesen Augenblicken einzufügende zu verteilende Signale definiert (die den Inhalt des Verbindungsspeichers repräsentieren).

An jeder Adresse des Verbindungsspeichers 20 ist also eine Adresse zum Auslesen eines Speichers von Signalen gespeichert, die zu verteilende Multiplexiereinheiten bilden, sowie ein Kode, der diesen Speicher unter der Gruppe von Speichern der betroffenen elementaren Vermittlungseinheit identifiziert.

Die Leseadressen adl des Verbindungsspeichers 20 werden außerdem so gebildet, daß das Prinzip des Einschreibens der Signale in den Speicher 1 für zu verteilende Signale respektiert wird, d.h. daß ein Auslesen des Speichers 20 und damit des Speichers 1 an gleichen Adressen für Signale, die eine gleiche zu verteilende Multiplexiereinheit bilden, und an unterschiedlichen Adressen für Signale bewirkt wird, die unterschiedliche zu verteilende Multiplexiereinheiten bilden.

Der Generator 21 für Leseadressen des Speichers 20 ist also ähnlich wie der Generator 2 für Schreibadressen des Speichers 1 aufgebaut, der oben beschrieben wurde, und arbeitet entsprechend in Zusammenwirken mit einem Speicher 22 zur Beschreibung von ausgehenden Rahmen, der seinerseits sequentiell im Takt CK ausgelesen wird.

Die Speicher 20 und 21 sind außerdem jeweils so dimensioniert wie die Speicher 1 und 3, sieht man davon ab,

daß der Inhalt der Speicher 1 und 20 von unterschiedlicher Art ist, wie dies beschrieben wurde.

Die Speicher 3, 20 und 22 mit äußeren Daten, d.h. Daten, die die gewünschte Betriebsweise der Verteileinrichtung für eine betrachtete Anwendung beschreiben, können durch Steuermittel der Verteileinrichtung, beispielsweise durch einen Mikroprozessor, beschrieben werden. Dieser Schreibmodus ist nicht Gegenstand der vorliegenden Erfindung.

Nun wird eine mögliche Ausführungsform der Mittel zur Entnahme der Signale, die zu verteilende Multiplexiereinheiten bilden, beschrieben. Diese Ausführungsform geht von Rahmen aus, die in Abschnitte gleicher Länge unterteilt sind (entsprechend den Zeilen im Fall der Multiplexierhierarchie, deren Prinzip oben angegeben wurde), wobei in den Abschnitten die zu verteilenden Multiplexiereinheiten nur vorbestimmte elementare Stellen einnehmen können, die eine definierte und unveränderliche Position bezüglich des Beginns dieses Abschnitts für eine gegebene Multiplexiereinheit einnehmen, und zwar von einem Rahmenabschnitt zum nächsten und von einem Rahmen zum nächsten.

Der Entnahmetakt der Signale, die zu verteilende Multiplexiereinheiten bilden, ergibt sich dann einfach ausgehend vom Synchronisationssignal der Elementarplätze der Rahmen, indem dieses Signal außerhalb der vorbestimmten Stellen blockiert wird.

Im Fall der Multiplexierhierarchie, die oben anhand von Figur 1 erläutert wurde, können die so organisierten Rahmen unter Verwendung einer Rahmenrestrukturierungsschnittstelle erhalten werden, für die ein Ausführungsbeispiel nun beschrieben wird.

Ehe dieses Ausführungsbeispiel beschrieben wird, ist es nützlich, die Form und den Aufbau der nicht restrukturierten Rahmen in Erinnerung zu rufen.

Figur 12 zeigt einen solchen nicht-restrukturierten

Rahmen für den Fall, daß die höchste hierarchische Ebene die Ebene N3 ist.

Die schraffierte Zone in Figur 12 enthält die Dienstsignale SOH, die einer Multiplexiereinheit AU4 zur Bildung eines Rahmens hinzugefügt wurden, während die nicht-schraffierte Zone eine solche Multiplexiereinheit AU4 enthält.

Eine Multiplexiereinheit AU4 besteht aus einem Container VC4, dem Indexiersignale H1VC4 und H2VC4 hinzugefügt wurden, die stets vorhanden sind, sowie Berechtigungssignale, von denen manche (H30VC4, H31VC4 und H32VC4) stets vorliegen, ausgenommen bei einer negativen Berechtigung, während andere nicht mit Bezugszeichen versehene Signale nur im Fall einer positiven Berechtigung vorliegen. Die Indexiersignale H1VC4 und H2VC4 und die Berechtigungssignale H30VC4, H31VC4 und H32VC4, sofern sie nicht fehlen, besetzen die Spalten 0, 3, 6, 7 und 8 der Zeile 3, während die positiven Berechtigungssignale, wenn sie vorhanden sind, die Spalten 9, 10, 11 der Zeile 3 besetzen.

Die Indexiersignale H1VC4 und H2VC4 ermöglichen es, einen Container VC4 innerhalb einer Multiplexiereinheit AU4, d.h. innerhalb eines Rahmens zu lokalisieren, und zwar in der Praxis durch Lokalisierung des ersten Bytes dieses Containers VC4, der in Figur 12 mit  $\Delta$  markiert ist.

Die Positionierung eines Containers VC4 innerhalb eines gegebenen Rahmens m und des nächstfolgenden Rahmens m+1, auf den er aufgrund der Indexiersignale und aufgrund der Lokalisierung dieser Indexiersignale in der Zeile 3 der Rahmen überläuft (siehe Figur 12), ist in Figur 13 dargestellt, wobei der vom Container VC4 besetzte Platz durch Schraffierung markiert ist.

Der Inhalt eines Containers VC4 ist in Figur 14 in Form eines Verzeichnisses von neun Zeilen und 261 Spalten dargestellt, das ebenfalls von links nach rechts und von oben nach unten gelesen wird und in Abwesenheit von Berechtigungen des Containers VC4 bezüglich der Multiplexierein-

heit AU4 vollkommen in den gestrichelt in Figur 13 markierten Rahmen paßt, welcher von den in den Spalten 9 bis 269 der Zeilen 3 bis 8 des Rahmens m und der Zeilen 0 bis 2 des Rahmens m+1 liegenden Bytes gebildet wird.

5 In der Praxis entfernt sich die Form des Containers VC4 von dieser nominalen Form wegen der positiven oder negativen Berechtigungen, die auf diesen Container für frühere Rahmen bis zum laufenden Rahmen m angewandt wurden, die zu einer Verschiebung des ersten Bytes des Containers  
10 VC4 führen (dies ist im Rahmen m durch die Bytes H1VC4 und H2VC4 angedeutet), und wegen einer eventuellen Berechtigung, die auf diesen Container für den Rahmen m+1 angewandt wurde. In Figur 13 ist der Fall dargestellt, daß eine positive Berechtigung auf diesen Container für den Rahmen m+1 angewandt wird, die durch die Bytes H1VC4 und H2VC4 des Rahmens  
15 m+1 angegeben wird und zu einer Einfügung von Füllbytes in den Spalten 9 bis 11 der Zeile 3 des Rahmens m+1 führt.

Im Fall einer negativen Berechtigung, die für den Rahmen m+1 gilt und durch die Bytes H1VC4 und H2VC4 des  
20 Rahmens m+1 wie bisher angegeben wird, hätte der Container VC4 nicht wie in Figur 13 gezeigt einen um drei Bytes in der Zeile 3 des Rahmens m+1 zurückgesetzten Teil, sondern hätte auf dieser Zeile einen vorgeschriebenen Teil mit drei Bytes in Höhe der Spalten 6 bis 8, wobei diese negative Berechtigung erhalten wird, indem Bytes von VC4 anstelle der Bytes  
25 H30VC4, H31VC34 und H32VC4 betreffend die Nützlichkeit der negativen Berechtigung des Rahmens m+1 gesetzt werden.

Der betrachtete Container VC4 wird durch Multiplexierung von vier Multiplexiereinheiten TU31a, TU31b, TU31c, TU31d gebildet, die die nicht-schraffierte Zone in Figur 14 besetzen, und durch Hinzufügung von Dienstsignalen POHVC4, die die schraffierte Zone besetzen, d.h. die erste Spalte links in dem Verzeichnis aus neun Zeilen und 261 Spalten. Jede Multiplexiereinheit, z.B. TU31a, wird ihrerseits durch  
30 Hinzufügung von Indexiersignalen H1VC31a und H2VC31a und  
35

Berechtigungssignalen zu einem Container, z.B. VC31a, gebildet, wobei eines der Berechtigungssignale H3VC31a, das vorgesehen ist, um eine Opportunität einer negativen Berechtigung zu liefern, immer vorliegt, außer bei einer negativen Berechtigung, während ein nicht dargestelltes anderes Berechtigungssignal nur im Fall einer positiven Berechtigung vorliegt. Die Indexiersignale und Berechtigungssignale der vier Container VC31 haben eine bestimmte Stelle bezüglich des ersten Bytes des Containers VC4, wodurch nach der Lokalisierung dieses ersten Bytes diese Signale und damit auch diese Container lokalisiert werden können, in der Praxis durch Lokalisierung der Stelle des ersten Bytes Aa, Ab, Ac und Ad.

Die verschiedenen Container VC31 (VC31a, VC31b, VC31c, VC31d) sind auch in Figur 15 zu sehen, wobei jeder von ihnen durch Hinzufügung von Dienstsignalen POHVC31a, POHVC31b, POHVC31c, POHVC31d entweder zu multiplexierten Multiplexiereinheiten TUG22 oder zu Signalen gebildet wird, die aus einem Datenzufluß C31 stammen, wenn dies zutrifft. Jeder der Container VC31 kann, wie dies Figur 15 zeigt, in Form eines Verzeichnisses dargestellt werden, das sich von links nach rechts und von oben nach unten liest und aus 9 Zeilen und 65 Spalten (d.h. 260/4) besteht, wobei die erste Spalte, die die Dienstsignale enthält, unvollständig ist und die Anzahl von zur Vervollständigung notwendigen Signalen gleich der Anzahl von Indexier- und Berechtigungssignalen ist, die jedem Container VC31 bei nicht vorhandener positiver und negativer Berechtigung hinzugefügt werden, um eine entsprechende Multiplexiereinheit TU31 zu bilden.

Es wäre möglich, in ähnlicher Weise die Container niedrigerer Ebenen darzustellen, d.h. in Form eines Verzeichnisses mit 9 Zeilen und einer Anzahl von Spalten abhängig von der betreffenden hierarchischen Ebene, wobei diese Anzahl mit der hierarchischen Ebene abnimmt und bestimmte Spalten unvollständig sind.

Es ergibt sich also, daß durch die nacheinander durchgeführten Indexier- und Berechtigungsoperationen auf den verschiedenen hierarchischen Ebenen die Lage der diesen Container bildenden Signale innerhalb der Rahmen auf einer  
5 gegebenen hierarchischen Ebene ausgehend von den Indexiersignalen und Berechtigungssignalen der betroffenen Container und der Container von höheren hierarchischen Ebenen bestimmt werden kann.

10 Zur Vereinfachung wird in der nachfolgenden Beschreibung einer Ausführungsform einer Rahmenrestrukturierungsschnittstelle davon ausgegangen, daß die zu verteilenden Multiplexiereinheiten die Einheiten TU31a, TU31b, TU31c und TU31d sind.

15 Die Restrukturierung dieser Rahmen erfordert eine Entnahme von die Container VC31a, VC31b, VC31c, VC31d bildenden Signalen oder Bytes, die ihrerseits eine vorherige Lokalisierung des ersten Bytes dieser Container in diesen Rahmen erfordert. Diese Lokalisierung setzt sich aus einer Lokalisierung der Indexiersignale der Container einer höheren Ebene, VC4, wodurch eine Lokalisierung des ersten Bytes  
20 dieser Container VC4 ermöglicht wird, und, da die Indexiersignale der Container VC31 an einer bestimmten Stelle innerhalb der so lokalisierten Container VC4 liegen, aus einer Lokalisierung dieser letztgenannten Indexiersignale zusammen,  
25 wodurch eine Lokalisierung des ersten Bytes jedes Containers VC31 möglich wird.

Die Schaltungen, die diese verschiedenen Lokalisierungen durchführen, haben eine gewisse Anzahl von gemeinsamen Elementen, die in Figur 16 zu sehen sind. Zu diesen  
30 Elementen gehören ein Zähler 1', Zeilenzähler genannt, der von 0 bis 8 zählt und durch ein Signal SL der Zeilensynchronisierung der ankommenden Rahmen inkrementiert und durch ein Signal ST der Rahmensynchronisierung der ankommenden Rahmen auf Null gesetzt wird, und ein Zähler 2', Spaltenzähler  
35 genannt, der von 0 bis 269 zählt und durch ein Spalten-

synchronisationssignal SC der ankommenden Rahmen inkrementiert sowie durch das Zeilensynchronisationssignal SL der ankommenden Rahmen auf Null gesetzt wird.

5 Die Zähler 1' und 2' liefern auf mehreren parallelen Drähten (was durch dickere Linien angedeutet ist) Signale CMPL bzw. CMPC, die die Zählzustände dieser Zähler angeben.

Die Signale ST, SL und SC stammen aus einer Zeitbasis 3', die am Eingang die ankommenden Rahmen in Serienform stm empfängt.

10 Die ankommenden Rahmen in paralleler Form STM, d.h. in Form von aufeinanderfolgenden Wörtern von je acht Binärelementen oder Bytes, ergeben sich am Ausgang eines Serien-Parallel-Wandlers 4', der vom Spaltensynchronisationssignal SC, d.h. vom Bytesynchronisationssignal gesteuert wird und  
15 am Eingang die ankommenden Rahmen in Serienform empfängt.

In Figur 16 sind auch Schaltungen 50, 51, 52, 53, 54, 55, 56, 57, 58 zur Erfassung der Zeilen 0, 1, 2, 3, 4, 5, 6, 7, 8 der ankommenden Rahmen zu sehen, die Signale DL0, DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8 liefern, und Schaltungen  
20 60, 61, 62, 63, zu der Erfassung von Spalten 0, 3, 5, 9, 11 der ankommenden Rahmen, die Signale DC0, DC3, DC5, DC9, DC11 liefern.

Diese Schaltungen bestehen aus einfachen Dekodern von Zuständen der Zähler 1' und 2'. Die von ihnen gelieferten  
25 Signale sind logische Signale, die entweder einen Pegel 1 besitzen, wenn die betreffenden Zeilen oder Spalten gerade vorliegen in dem ankommenden Rahmen, während sie sonst den Pegel 0 haben.

Nun wird anhand von Figur 17 beschrieben, wie die  
30 Erfassung der Indexiersignale H1VC4 und H2VC4 des Containers VC4 erfolgt, während Figur 18 ein Zeitdiagramm für den Betrieb der Schaltung aus Figur 17 enthält.

Da die Indexiersignale H1VC4 und H2VC4 in den Spalten 0 und 3 der Zeile 3 der ankommenden Rahmen liegen, enthält  
35 diese Schaltung eine Schaltung 8' zur Erfassung einer Koin-



zidenz zwischen dem Zustand 3 des Zeilenzählers und dem Zustand 0 des Spaltenzählers, sowie eine Schaltung 9' zur Erfassung der Koinzidenz zwischen dem Zustand 3 des Zeilenzählers und dem Zustand 3 des Spaltenzählers. Diese Schaltungen 8' und 9' bestehen hier aus logischen UND-Toren, die die Signale DL3 und DC0 bzw. die Signale DL3 und DC3 verknüpfen.

Die am Ausgang der UND-Tore 8' und 9' erhaltenen logischen Signale werden an die hier für ansteigende Flanken empfindlichen Takteingänge von zwei Registern 10' und 11' angelegt, die im übrigen an ihren Dateneingängen die ankommenden Rahmen STM empfangen und in denen die Bytes H1VC4 und H2VC4 bei deren Auftreten in den ankommenden Rahmen gespeichert werden.

In Figur 18 ist ein Zeitdiagramm der Signale ST, SL, CMPL, DL3, SC, CMPC, DC0 und DC3 dargestellt. Um die Figur besser lesbar zu machen, wurde der Zeitmaßstab für den Zustand 3 des Ausgangssignals CMPL des Zählers 1' gestreckt.

Nun wird beschrieben, wie die Erfassung der Indexersignale der Container VC31a, VC31b, VC31c und VC31d erfolgt. Da diese Erfassung für alle vier Container VC31 in gleicher Form geschieht, wird sie nur für einen der Container, z.B. VC31a, in Verbindung mit den Figuren 19, 20 und 23 beschrieben, in denen die Schaltung dargestellt ist, die diese Erfassung durchführt, sowie in Verbindung mit den Figuren 13 und 14, die oben bereits beschrieben wurden und die Lage eines Containers VC4 in den ankommenden Rahmen und den Aufbau eines Containers VC4 darstellen, sowie in Verbindung mit Figur 21, die ein Betriebszeitdiagramm zeigt, mit Figur 22, die den Aufbau der Indexerbytes H1VC4, H2VC4 zeigt, und mit Figur 24, die das Prinzip der Erfassung des ersten Bytes eines Containers VC4 zeigt.

Die Indexerbytes H1VC4 und H2VC4 ermöglichen es, die Lage des ersten Bytes des Containers VC4 innerhalb des gestrichelt in Figur 13 umrahmten Rechtecks zu ermitteln.

Genauer betrachtet markieren sie eine der 783 möglichen Stellen, die durch Schraffierung in Figur 24 markiert sind und drei Bytes Abstand voneinander haben, wobei die Container VC4 durch drei Bytes die Berechtigung erlangen, und zwar  
5 entweder positiv oder negativ. Mit  $\Delta VC4$  wird der Wert zwischen 0 und 782 bezeichnet, der durch diese Indexiersignale angegeben wird.

Das erste Byte eines Containers VC4 besteht aus dem ersten der Dienstbytes POHVC4 mit der Bezeichnung J1, wie  
10 dies in Figur 14 zu sehen ist. Auf dieses Byte J1 folgt unmittelbar das Byte H1VC31a, das das erste Indexierbyte des Containers VC31 ist. Das zweite Indexierbyte des Containers VC31a, nämlich H2VC31a, liegt im Container VC4 an einer Stelle, die um eine feste Anzahl von Bytes auf H1VC31a  
15 folgt, hier um 261 Bytes (d.h. um die Breite des gestrichelt in Figur 13 angedeuteten Rechtecks).

Die Schaltung zur Erfassung des Bytes H1VC31a enthält, wie Figur 19 zeigt, einen Zähler 20', der über einen Detektor zur Erfassung von ansteigenden Übergängen 20" von  
20 einem Signal RST1 in der Zeile 3, Spalte 9 der ankommenden Rahmen auf Null gesetzt wird, d.h. unmittelbar nach der Stelle, die für das Berechtigungssignal H32VC4 reserviert ist, und der Zähler wird durch ein Taktsignal CLK1 inkrementiert, das aus dem Spaltensynchronisationssignal der ankommenden Rahmen gebildet wird, indem die Übergänge dieses  
25 Zählers während der neun ersten elementaren Stellen oder eines Bytetakts jeder Zeile blockiert werden und indem innerhalb der so isolierten Übergänge nur jeder dritte berücksichtigt wird. Die verschiedenen Werte, die der Zähler einnehmen kann, sind die Werte von 0 bis 782, die in Figur  
30 24 angegeben sind.

Das Ausgangssignal CMP1 des Zählers 20' gelangt an einen Komparator 21', der außerdem den Wert  $\Delta VC4+1$  aus einem Addierer 22' empfängt, in dem der Wert 1 zum Wert  $\Delta VC4$   
35 hinzugefügt wird. Wenn der Wert des Zählers 20' den Wert

$\Delta VC4+1$  erreicht, bedeutet dies, daß das Byte H1VC31a nun im Rahmen vorliegt. Dieses Byte wird in ein Register 23 eingespeichert, dessen Takteingang hier auf ansteigende Flanken anspricht und das Signal CP1 vom Ausgang des Komparators 21 empfängt. Dieses Signal zeigt im betreffenden Augenblick eine ansteigende Flanke, so daß der Dateneingang die ankommenden Rahmen STM empfängt.

In diesem Zeitpunkt steuert das Signal CP1 einen Zähler 24, der von 0 bis 260 zählt und dann sich bei 260 selbst blockiert. Dieser Zähler 24 wird durch ein Taktsignal CLK2 inkrementiert, das aus dem Synchronisationssignal SC der ankommenden Rahmen erhalten wird, und blockiert dieses Signal in den Spalten 0 bis 8 für die Zeilen 0, 1, 2, 4, 5, 6, 7, 8, in den Spalten 0 bis 5 für die Zeile 3, wenn der Container VC4 negativ bezüglich der Multiplexiereinheit AU4 berechtigt ist, in den Spalten 0 bis 11 für die Zeile 3, wenn der Container VC4 positiv bezüglich der Multiplexiereinheit AU4 berechtigt ist, und in den Spalten 0 bis 8 für die Zeile 3, wenn der Container VC4 nicht bezüglich der Multiplexiereinheit AU4 berechtigt ist.

Wie Figur 13 zeigt, kann das Byte HVC31a eines gegebenen Rahmens m, das a priori in jeder Zeile 3 bis 8 dieses Rahmens oder in jeder Zeile 0 bis 2 des nächstfolgenden Rahmens m+1 lokalisiert werden kann, sich in jeder beliebigen der Zeilen 4 bis 8 des Rahmens m oder der Zeilen 0 bis 3 des Rahmens m+1 befinden. Die Berechtigung des Containers VC4 im Rahmen m+1 ist also zu berücksichtigen, wenn die Zeile 3 des Rahmens m+1 während des Zählens durch den Zähler 24 angetroffen wird.

Die Erfassung des Zustands 260 des Zählers 24, dessen Zustand durch sein Ausgangssignal CMP2 angegeben wird, erfolgt durch eine Schaltung 25, die ein Ausgangssignal CP2 liefert, welches in diesem Augenblick einen ansteigenden Übergang zeigt und das an den hier für ansteigende Flanken empfindlichen Takteingang eines Registers 26 gelangt, wel-

ches an einem parallelen Dateneingang die Rahmen STM empfängt, um beim Erreichen des Zählzustands 260 in diesem Register 26 das Byte der ankommenden Rahmen STM zu speichern, das den entsprechenden Platz einnimmt und das Byte H2VC31a ist.

Es sei bemerkt, daß für die Erfassung der Indexiersignale der Container VC31b, VC31c und VC31d die Werte  $\Delta VC4+2$ ,  $\Delta VC4+3$  bzw.  $\Delta VC4+4$  mit dem Wert des Zählers 20' verglichen werden, der durch sein Ausgangssignal CMP1 angegeben wird.

Nun werden anhand von Figur 20 die Schaltungen zur Erzeugung der Signale CLK1, RST1 und CLK2 beschrieben.

Die Schaltung zur Erzeugung des Taktsignals CLK1 enthält eine Schaltung 12' zur Berücksichtigung der Übergänge des Spaltensynchronisationssignals SC nur in den Spalten 9 bis 269. Diese Schaltung empfängt einerseits dieses Signal SC und andererseits das Ausgangssignal Q1 einer Schaltung 13' zur Erzeugung eines Zeitfensters, das sich von der Spalte 9 bis zur Spalte 269 jeder Zeile erstreckt. Da dieses Zeitfenster durch ein logisches Signal Q1 mit dem Pegel 1 dargestellt wird, besteht die Schaltung 12' aus einem UND-Tor. Die Schaltung 13' besteht aus einer D-Kippstufe 14', die an ihrem Ausgang Q das Signal Q1 liefert und an ihrem Eingang D das komplementierte Ausgangssignal Q und an ihrem Nullsetzungseingang CL das Zeilensynchronisationssignal SL sowie an ihrem Takteingang das Ausgangssignal S1 eines ODER-Tors 15' empfängt, das seinerseits das Zeilensynchronisationssignal SL sowie das Erfassungssignal DC9 der Spalte 9 der ankommenden Rahmen empfängt. Das Signal S2 am Ausgang der Schaltung 12' wird an den hier auf ansteigende Flanken ansprechenden Takteingang eines Zählers 16' modulo 3 angelegt, der über einen Detektor für ansteigende Übergänge 16" durch das Signal DC9 auf Null gesetzt wird.

Das Taktsignal CLK1 liegt am Ausgang einer Schaltung 17' zur Erfassung des Zustands 0 des Zählers 16' vor, wobei der Zustand dieses Zählers durch sein Ausgangssignal cmp1

angegeben wird.

Die Schaltung zur Erzeugung des Signals RST1 enthält eine Schaltung zur Erfassung der Koinzidenz zwischen einer Zeile 3 und einer Spalte 9, die hier aus einem UND-Tor 18' besteht, welches einerseits das Signal DL3 und andererseits das Signal DC9 empfängt.

Ein Zeitdiagramm für den Betrieb dieser Schaltungen ist in Figur 21 gezeigt.

Die Schaltung zur Erzeugung des Signals CLK2 enthält eine Schaltung 100 zur Berücksichtigung des Spaltensynchronisationssignals SC innerhalb eines Zeitfensters, das durch ein logisches Signal Q6 definiert ist und sich für die Zeilen 0, 1, 2, 4, 5, 6, 7, 8 von der Spalte 9 bis zur Spalte 269 und für die Zeile 3 entweder von der Spalte 6 bis zur Spalte 269 oder von der Spalte 12 bis zur Spalte 269 oder von der Spalte 9 bis zur Spalte 269 erstreckt, je nachdem, ob der Container negativ oder positiv oder gar nicht bezüglich der Multiplexiereinheit AU4 berechtigt ist.

Die entsprechenden Zeitfenster sind durch logische Signale Q2, Q3, Q4, Q5 mit dem Pegel 1 repräsentiert. Die Schaltung 100 besteht dann aus einem UND-Tor, das einerseits das Spaltensynchronisationssignal und andererseits das Ausgangssignal Q6 eines ODER-Tors 101 empfängt, an dessen Eingänge die Signale Q2, Q3, Q4, Q5 ankommen.

Das Signal Q2 stammt aus einer Schaltung zur Erzeugung eines Zeitfensters 102, die eine D-Kippstufe 103 besitzt, deren Ausgang Q das Signal Q2 liefert und deren komplementärer Ausgang an den Eingang D zurückgeschleift ist, während der Nullsetzungseingang CL das Zeilensynchronisationssignal SL und der Takteingang das Ausgangssignal eines UND-Tors 104 empfängt, das an einem Eingang das Signal DC9 der Erfassung der Spalte 9 und an einem anderen Eingang das Ausgangssignal eines ODER-Tors 105 empfängt, welches mit den Signalen DL0, DL1, DL2, DL4, DL5, DL6, DL7, DL8 betreffend die Erfassung der Zeilen 0, 1, 2, 4, 5, 6, 7, 8 beauf-

schlägt wird.

Das Signal Q3 stammt seinerseits aus einer Schaltung 106 zur Erzeugung eines Zeilenfensters, die ähnlich wie die Schaltung 102 aufgebaut ist, abgesehen davon, daß das UND-Tor 104 durch ein UND-Tor 107 ersetzt ist, das die Signale DL3 und DL5 sowie ein Signal JNVC4 der Erfassung der negativen Berechtigung des Containers VC4 empfängt.

Das Signal Q4 seinerseits stammt aus einer Schaltung 109 zur Erzeugung eines Zeitfensters, die wie die Schaltung 106 aufgebaut ist, abgesehen davon, daß das Signal JNVC4 der Erfassung der negativen Berechtigung durch ein Signal JPVC4 der Erfassung der positiven Berechtigung ersetzt ist.

Das Signal Q5 stammt aus einer Schaltung 111 zur Erzeugung eines Zeitfensters, die genauso wie die Schaltungen 106 und 109 aufgebaut ist, mit Ausnahme der Tatsache, daß die Signale JNVC4 und JPVC4 durch ein Signal NJVC4 der Erfassung einer Nichtberechtigung des Containers VC4 ersetzt sind.

Nun werden anhand der Figuren 22 und 23 die Schaltungen zur Erzeugung der Signale JNVC4, JPVC4 und NJVC4 der Erfassung der negativen Berechtigung, der positiven Berechtigung und der Nichtberechtigung des Containers VC4 beschrieben.

Die Angabe der negativen oder positiven Berechtigung oder der Nichtberechtigung wird von den Bytes H1VC4 und H2VC4 geliefert, deren Aufbau in Figur 22 dargestellt ist, wo die Binärelemente des Bytes H1VC4 die Nummern 0 bis 7 und die Binärelemente des Bytes H2VC4 die Nummern 8 bis 15 tragen.

Die Binärelemente N° 6, 8, 10, 12, und 14 sind mit I bezeichnet und geben durch ihre Umkehrung von einem Rahmen zum nächsten eine positive Berechtigung wieder.

Die Binärelemente mit den Nummern 7, 9, 11, 13 15 sind mit D markiert und geben durch ihre Umkehrung von einem Rahmen zum nächsten eine negative Berechtigung wieder.

Liegt keine Umkehrung der Binärelemente I und D von einem Rahmen zum nächsten vor, dann zeugt dies für eine nicht vorhandene Berechtigung.

5 In Figur 23 sind die Schaltungen zur Erzeugung der Signale JNVC4, JPVC4 und NJVC4 dargestellt.

10 Diese Schaltungen enthalten gemeinsam zwei Register 200 und 201, die an ihren Dateneingängen die Bytes H1VC4 (n) und H2VC4 (n) bezüglich eines gegebenen Rahmens n empfangen, die von den Registern 10' und 11' (siehe Figur 17) stammen, während die Takteingänge dieser Register die gleichen Takt-  
15 signale wie die Register 10' und 11' empfangen, nämlich CLKX und CLKY. An den Ausgängen dieser Register erhält man daher die Bytes H1VC4 (n-1) und H2VC4 (n-1) bezüglich des vorher-  
gehenden Rahmens n-1.

15 Die Erzeugung des Signals JPVC4 ergibt sich folgendermaßen: Die Binärelemente mit den Nummern 6, 8, 10, 12 und 14 der Bytes H1VC4 (n) und H2VC4 (n) tragen die Bezeichnung eb6(n), eb8(n), eb10(n), eb12(n), eb14(n) und werden je an einen ersten Eingang eines Exklusiv-ODER-Tors 2020 bis 2024  
20 angelegt. Ein zweiter Eingang dieser Exklusiv-ODER-Tore empfängt die Binärelemente mit den Nummern 6, 8, 10, 12, 14 der Bytes H1VC4(n-1) und H2VC4(n-1), die die Bezeichnung eb6(n-1), eb8(n-1), eb10(n-1), eb12(n-1) und eb14(n-1) tragen. Das Signal JPVC4, das die Angabe der positiven  
25 Berechtigung definiert, ergibt sich am Ausgang einer logischen Mehrheitsentscheidungsschaltung 204.

30 Die Erzeugung des Signals JNVC4 ergibt sich folgendermaßen: Die Binärelemente mit den Nummern 7, 9, 11, 13 und 15 der Bytes H1VC4 (n) und H2VC4 (n) tragen die Bezeichnung eb7(n), eb9(n), eb11(n), eb13(n), eb15(n) und werden je an einen ersten Eingang eines Exklusiv-ODER-Tors 2050 bis 2054  
35 angelegt. Ein zweiter Eingang dieser Exklusiv-ODER-Tore empfängt die Binärelemente mit den Nummern 7, 9, 11, 13, 15 der Bytes H1VC4(n-1) und H2VC4(n-1), die die Bezeichnung eb7(n-1), eb9(n-1), eb11(n-1), eb13(n-1) und eb15(n-1)

tragen. Das Signal JPVC4, das die Angabe der negativen Berechtigung definiert, ergibt sich am Ausgang einer logischen Mehrheitsentscheidungsschaltung 204.

5 Das Signal JNVC4, das die Nichtberechtigung angibt, ergibt sich am Ausgang eines NICHT-ODER-Tors 207, dem einerseits das Signal JNVC4 und andererseits das Signal JPVC4 zugeführt wird.

10 Nun wird beschrieben, wie die Erfassung des ersten Bytes des Containers VC31a erfolgt, und zwar unter Bezug auf Figur 25, die die Schaltung zeigt, auf Figur 26, die das Prinzip der Lokalisierung dieses Bytes zeigt, und Figur 27, die mit den nachfolgend angegebenen Einschränkungen den Raum angibt, der von einem Container VC31 im Inneren von zwei aufeinanderfolgenden Containern VC4 der Ordnungen m bzw. m+1  
15 eingenommen wird.

Die Indexierbytes H1VC31a und H2VC31a erlauben die Markierung der Stelle Aa des ersten Bytes des Containers VC31a innerhalb des Raums, der in Figur 27 gestrichelt umrahmt ist entsprechend der Form des Containers VC31a bei  
20 Abwesenheit jeder Berechtigung dieses Containers, wobei der Multiplexierfaktor 4 mit den anderen Containern VC31b, VC31c, VC31d in dieser Figur fehlt, da er schlecht darstellbar ist. Der tatsächliche Raum, d.h. unter Berücksichtigung der Berechtigungen, ist ein anderer, und durch Schraffierungen wurde ein Beispiel des von einem Container VC31 innerhalb von zwei aufeinanderfolgenden Containern VC4 mit den  
25 Ordnungsnummern m und m+1 besetzten Raums markiert. In diesem Beispiel tritt eine negative Berechtigung auf. Die Indexierbytes H1VC31a und H2VC31a ermöglichen es genau  
30 betrachtet, eine unter 582 möglichen Stellen zu markieren, die in Figur 26 schraffiert sind und einen Abstand von vier Bytes haben, um die Multiplexierung von vier Containern VC31 und die Berechtigung der Container VC31 durch ein einziges Bit zu berücksichtigen. Mit AVC31a wird der Wert zwischen 0  
35 und 581 bezeichnet, der von diesen Indexiersignalen angege-



ben wird.

Nachdem die Bytes H1VC31a und H2VC31a erfaßt wurden, erfolgt eine Erfassung der Bytes H3VC31a der Berechtigung des Containers VC31a mit Hilfe eines Zählers 30, der dem  
5 Zähler 24 gleicht und genauso arbeitet, mit Ausnahme der Tatsache, daß er von dem Ausgangssignal CP2 der Erfassungsschaltung 25 über einen Übergangsdetektor 30' einer gegebenen Richtung gesteuert wird, d.h. von 0 bis 260 ausgehend  
10 von der Lokalisierung des Bytes H2VC31a zu zählen beginnt, denn das Byte H3VC31a liegt 261 Bytes nach dem Byte H2VC31a, und mit Hilfe einer Schaltung 31 zur Erfassung des Zustands 260 dieses Zählers, dessen Ausgangssignal CP3, wenn der Zähler 30 den Zustand 260 erreicht, die Speicherung des  
15 Bytes entsprechend H3VC31a der ankommenden Rahmen STM in einem Register 32 steuert, das an seinen parallelen Dateneingängen die Rahmen STM und an seinem Takteingang das Signal CP3 empfängt.

Wenn die Bytes H1VC31a, H2VC31a und H3VC31a lokalisiert sind, erfolgt eine Erfassung des ersten Bytes des  
20 Containers VC31a. Hierzu verwendet man einen Zähler 40, der über einen Übergangsdetektor 40' einer gegebenen Richtung von einem Signal RST2 vier Bytetakte nach der Erfassung des Bytes H3VC31a auf Null gesetzt wird, und von einem Taktsignal CLK4 inkrementiert wird, das aus dem Spaltensynchronisationssignal SC der ankommenden Rahmen erhalten wird und  
25 die Übergänge dieses Signals in den Spalten 0 bis 8 für die Zeilen 0, 1, 2, 4, 5, 6, 7, 8, in den Spalten 0 bis 5 für die Zeile 3, wenn der Container VC4 negativ bezüglich der Multiplexiereinheit AU4 berechtigt ist, in den Spalten 0 bis  
30 11 für die Zeile 3, wenn der Container VC4 positiv bezüglich der Multiplexiereinheit AU4 berechtigt ist, und in den Spalten 0 bis 9 für die Zeile 3, wenn der Container VC4 bezüglich der Multiplexiereinheit AU4 nicht berechtigt ist, und innerhalb der so isolierten Übergänge blockiert, indem  
35 nur einer von ihnen berücksichtigt wird. Die verschiedenen

Werte, die dieser Zähler annehmen kann, entsprechen den Werten 0 bis 581, die in Figur 26 angegeben sind. Das Ausgangssignal CMP4 dieses Zählers 40 gelangt an einen Komparator 41, der außerdem den Wert  $\Delta VC31a$  zugeführt erhält.

5 Wenn der Zustand des Zählers 40, der durch sein Ausgangssignal CMP4 angegeben wird, diesen Wert erreicht, bedeutet dies, daß die entsprechende Stelle diejenige ist, die vom ersten Byte des Containers VC31a eingenommen wird. Das Signal CP4 am Ausgang des Komparators 41 besitzt in diesem Augenblick einen Übergang.

10 Nun wird die Schaltung zur Erzeugung des Taktsignals CLK4 und des Signals RST2 beschrieben.

Das Signal CLK2 gelangt an den Takteingang eines Zählers 120 modulo 4, der über einen Übergangsdetektor 120' einer bestimmten Richtung durch das Signal RST2 auf Null gesetzt wird. Das Signal cmp2 am Ausgang des Zählers 120 gelangt an eine Schaltung 121 zur Erfassung des Zählzustands 0 dieses Zählers. Das Taktsignal CLK4 ergibt sich am Ausgang der Schaltung 121.

20 Das Signal RST2 ergibt sich am Ausgang einer Schaltung 122 zur Erfassung des Zählzustands 3 eines Zählers 123, der sich im Zustand 3 selbst blockiert. Dieser Zählzustand des Zählers wird durch sein Ausgangssignal cmp3 angegeben, und dieser Zähler wird durch das Spaltensynchronisationssignal SC inkrementiert und durch das Signal CP3 über einen Übergangsdetektor 123' einer bestimmten Richtung auf Null gesetzt.

30 Sobald das erste Byte des Containers Vc31a lokalisiert ist, erfolgt die Lokalisierung der nachfolgenden Bytes dieses Containers, wie dies Figur 29 zeigt, mit Hilfe eines Zählers 50'', der über einen Übergangsdetektor 50' einer bestimmten Richtung durch das Signal CP4 bei Erfassung des ersten Bytes des Containers VC31a auf Null gesetzt wird und eine modulo-4-Zählung im Rhythmus eines Taktsignals CLK5 durchführt, das aus dem Spaltensynchronisationssignal SC der

ankommenden Rahmen abgeleitet wird und den Zähler blockiert, damit er nur die den Container VC31a bildenden Bytes berücksichtigt:

- während der Spalten 0 bis 8 für die Zeilen 0, 1, 2, 4, 5, 6, 7, 8 der ankommenden Rahmen,
- während der Spalten 0 bis 5 für die Zeile 3 der ankommenden Rahmen, wenn der Container VC4 negativ bezüglich der Multiplexiereinheit AU4 berechtigt ist,
- während der Spalten 0 bis 11 für die Zeile 3 der ankommenden Rahmen, wenn der Container VC4 positiv bezüglich der Multiplexiereinheit AU4 berechtigt ist,
- während der Spalten 0 bis 8 für die Zeile 3 der ankommenden Rahmen, wenn der Container VC4 gar nicht bezüglich der Multiplexiereinheit AU4 berechtigt ist,
- während der Bytes, die Dienstsignale POHVC4 bilden,
- während der Indexierbytes H1VC31 und H2VC31 der vier Container VC31.

Die Erfassung der nachfolgenden Bytes des Containers VC31a erfolgt genauer betrachtet mit Hilfe einer Schaltung 50", die Übergänge des Zählers 50" in den Zustand 0 erfassen, was zu einem Signal CP6 führt, wobei dieser Zustand des Zählers durch sein Ausgangssignal cmp6 angegeben wird.

Die Erfassung der Bytes H1VC31 und H2VC31 erfolgt wie oben für den Container VC31a beschrieben.

Die Erfassung der Bytes, die Dienstsignale POHVC4 bilden, erfolgt wie in Figur 28 gezeigt durch einen Detektor 51', der acht aufeinanderfolgende Nulldurchgänge eines Zählers 51" erfaßt, der von 0 bis 260 (das ist die Anzahl der Bytes zwischen zwei aufeinanderfolgenden Bytes POHVC4 in einem Container VC4) im Takt des Taktsignals CLK2 ausgehend von der Erfassung des ersten Bytes J1 des Containers VC4 zählt, die genauso erfolgt, wie dies oben anhand der Figur 19 für die Erfassung der Gleichheit zwischen dem Zählzustand CMP1 des Zählers 20' und dem Wert  $\Delta VC4$  geschrieben wurde, und zwar mit Hilfe eines Komparators 52", der ein Ausgangs-

signal CP5 liefert, welches einen Übergang einer bestimmten Richtung bei Erfassung dieser Gleichheit angibt und über einen Übergangsdetektor 52' einer bestimmten Richtung an den Nullsetzungseingang des Zählers 51'' angelegt wird, um den  
5 Zählvorgang in diesem Zähler bei dieser Erfassung zu steuern.

Nun wird die Schaltung zur Erzeugung des Taktsignals CLK5 beschrieben. Diese Schaltung enthält eine Schaltung 130 hier in Form eines UND-Tors, das die Spaltensynchronisationssignale SC berücksichtigt, wenn die folgenden Bedingungen gleichzeitig erfüllt sind (diese Gleichzeitigkeit wird in einem UND-Tor 131 erfaßt):

- ein Zeitfenster liegt vor, das durch die Signale Q2, Q3, Q4, Q5 repräsentiert wird (daher wird das Signal Q6 vom Ausgang des ODER-Tors 101 (Figur 20) an den Eingang des UND-Tors 131 angelegt);

- es wird kein Byte POHVC4 erfaßt (daher wird das Signal CP7 nach Umkehrung in einem Inverter 132 an das UND-Tor 131 angelegt);

- es wird kein Indexierbyte H1VC31 oder H2VC31 eines der vier Container VC31 erfaßt (daher wird an den Eingang des UND-Tors 131 das mit Hilfe eines Inverters 133 umgekehrte Signal vom Ausgang eines ODER-Tors 134 angelegt, das seinerseits eingangsseitig die Signale CP1 und CP2 betreffend die vier Container empfängt, die dementsprechend den Index a für den Container VC31a, den Index b für den Container VC31b, den Index c für den Container VC31c und den Index d für den Container VC31d tragen.

Die so erfaßten und aus den ankommenden Rahmen STM zu den richtigen Zeitpunkten entnommenen Bytes des Containers VC31a werden in einem Pufferspeicher 60 (siehe Figur 30) im Rhythmus ihrer Erfassung gespeichert, wobei eine oder zwei Eintragungen in dem Pufferspeicher 60, d.h. einer oder zwei Impulse des Ausgangssignals CP'6 des Detektors 50'' zurückgezogen werden, wie nachfolgend beschrieben, je nachdem, ob

der Container VC31a nicht berechtigt oder aber positiv berechtigt ist.

Die Erfassung der Nichtberechtigung oder der positiven Berechtigung des Containers VC31a ergibt sich ähnlich wie oben für den Container VC4 beschrieben, ausgehend diesmal von den Indexiersignalen H1VC31a und H2VC31a, die genauso gebildet sind wie die Indexiersignale H1VC4 und H2VC4.

Das Signal CP6 ergibt sich am Ausgang einer Schaltung 53' zur Blockierung der Impulse des Signals CP'6 entweder an der Stelle des Bytes H3VC31a, das durch das Signal CP3 (Figur 25) gemeldet wird, sowie vier Bytetakte nach dieser Stelle, oder vier Bytetakte nach dieser Stelle, je nach dem Zustand der logischen Signale NJVC31a betreffend die Angabe der Nichtberechtigung und JPVC31a betreffend die Angabe der positiven Berechtigung des Containers VC31a.

In gleicher Weise wird für die drei anderen Container VC31b, VC31c und VC31d vorgegangen, deren Bytes in drei Pufferspeichern 61, 62 und 63 (Figur 30) gespeichert sind.

Jedem einen in diesen Pufferspeichern enthaltenen Container VC31 bildenden Byte ist außerdem ein binäres Markierelement  $\delta a$ ,  $\delta b$ ,  $\delta c$ ,  $\delta d$  für die Container VC31a, VC31b, VC31c, VC31d zugeordnet, das für dieses Byte angibt, ob es sich um ein erstes Byte eines Containers handelt oder nicht.

Die Eintragung dieses Markierbits wird im Fall beispielsweise des Containers VC31a durch das Signal CP4 gesteuert, das von der Schaltung zur Erfassung des ersten Bytes eines Containers VC31 geliefert wird. Da das Binärelement  $\delta a$  in dem beschriebenen Ausführungsbeispiel einen logischen Pegel 1 hat, wenn es sich tatsächlich um ein erstes Byte handelt, wird dieses am Ausgang eines UND-Tors 60' erhalten, das an einem ersten Eingang ein logisches Signal mit dem Pegel 1 und an einem zweiten Eingang das Signal CP4 empfängt.

Mit HE sei der Takt bezeichnet, mit dem aus den

ankommenden Rahmen die Bytes dieses Containers entnommen werden und der beispielsweise im Fall des Containers VC31a selbst durch Verknüpfung der Übergänge des Ausgangssignals CP4 des Komparators 41 (Figur 25) und des Ausgangssignals CP6 des Detektors 50" (Figur 29) in einem logischen Tor 53 erhalten wird.

Die Zuordnung der Bytetakte der restrukturierten ausgehenden Rahmen zu diesen Bytes wird durch einen Takt HL' festgelegt (im Fall beispielsweise des Containers VC31a handelt es sich um den Takt HL'a), der seinerseits in einer Zeitbasis 80 ausgehend von den Synchronisationssignalen (für die Rahmen ST\*, für die Zeile SL\* und die Spalte SC\*) der restrukturierten ausgehenden Rahmen bestimmt wird, so daß für jeden zu bearbeitenden Container eine Zuordnung der diesen Container bildenden Bytes über Spalten innerhalb der restrukturierten Rahmen erhalten wird.

Diese Zuordnung über Spalten ist in Figur 31 für den Fall dargestellt, daß die betroffenen Container Container VC31 sind.

Die Zuordnung erfolgt folgendermaßen:

- die Spalten 14, 18, ... 266 sowie die Spalte 10 für die Zeilen 2 bis 8 sind dem Container VC31a zugeordnet;
- die Spalten 15, 19, ... 267 sowie die Spalte 11 für die Zeilen 2 bis 8 sind dem Container VC31b zugeordnet;
- die Spalten 16, 20, ... 268 sowie die Spalte 12 für die Zeilen 2 bis 8 sind dem Container VC31c zugeordnet;
- die Spalten 17, 21, ... 269 sowie die Spalte 13 für die Zeilen 2 bis 8 sind dem Container VC31d zugeordnet.

Die Bytes der Spalten 0 bis 9 für die Zeilen 0 bis 8 sind Füll- oder Dienstbytes.

In den Spalten 10 bis 13 für die Zeilen 0 und 1 sind Indexierbytes H1VC31\*, H2VC31\* der zu verarbeitenden Container eingefügt, denen die Indices a, b, c oder d zugefügt sind, je nachdem, ob sie sich auf den Container VC31a, VC31b, VC31c oder VC31d beziehen.

Die Berechtigungsbytes der zu verarbeitenden Container in den restrukturierten Rahmen erlauben es, den Lesetakt HL an den Schreibtakt HE der Pufferspeicher anzupassen, beispielsweise den Lesetakt HL<sub>a</sub> an den Schreibtakt HE<sub>a</sub> im Fall des Pufferspeichers 60. Diese Taktanpassung erfolgt in klassischer Weise mit Hilfe einer Vorrichtung zur Erarbeitung einer Anfrage nach einer Berechtigung oder Nichtberechtigung und mit Hilfe einer Blockierschaltung für den Takt HL', die die Bezugszeichen 64 bzw. 64' im Fall des Containers VC31a tragen. Die Vorrichtung zur Erzeugung einer Anfrage nach einer Berechtigung oder Nichtberechtigung führt einen Phasenvergleich zwischen dem Takt HE und dem Takt HL durch, der das Ausgangssignal der Blockierschaltung für den Takt HL' bildet. Je nachdem, ob das Ergebnis dieses Vergleichs für einen gegebenen Rahmen eine erste Schwelle eines bestimmten Vorzeichens oder eine zweite Schwelle des entgegengesetzten Vorzeichens überschreitet oder sich zwischen diesen beiden Schwellen befindet, wird für diesen Rahmen eine Anfrage für eine positive oder eine negative Berechtigung oder eine Anfrage für eine Nichtberechtigung erzeugt. Diese Anfrage bezüglich einer Nichtberechtigung oder einer positiven oder negativen Berechtigung wird im nächsten Rahmen berücksichtigt und führt dann im ersteren Fall zur Einfügung eines Füllbytes an der im Rahmen festliegenden Stelle des entsprechenden Berechtigungsbytes H3VC31\*, wobei diese Stelle in der Spalte 10, Zeile 2 im Fall beispielsweise des Containers VC31a liegt, im zweiten Fall zur Einfügung eines Füllbits an dieser Stelle und an einer um vier Bytetakte später liegenden Stelle, und im dritten Fall zu keiner Einfügung eines Füllbytes in denjenigen Spalten 10 bis 256, die dem betreffenden Container zugeordnet sind.

Die Anfrage nach einer Berechtigung oder Nichtberechtigung, die von der Vorrichtung 64 für den betreffenden Rahmen erzeugt wurde, wird dann dort bis zum nächsten Rahmen gespeichert, wobei die Nullsetzung des Speichers durch

Steuerung über die Zeitbasis 80 diese Aufgabe übernimmt und an den Stellen in den Spalten 14, 15, 16 und 17 der Zeile 2 für die Container VC31a, VC31b, VC31c und VC31d wirksam wird.

5           Der Lesetakt HL der Pufferspeicher ergibt sich also ausgehend von dem Takt HL' (der seinerseits von der Zeitbasis 80 stammt und aus dem Spaltensynchronisationssignal SC\* der restrukturierten Rahmen erhalten wird, indem systematisch dieses Synchronisationssignal an den nicht dem betreffenden Container VC31 zugewiesenen und oben angegebenen Stellen blockiert wird), indem bestimmte Blockierungen dieses Takts HL\* je nach dem Zustand der Anfrage nach einer Berechtigung oder Nichtberechtigung für den Container VC31 im vorhergehenden Rahmen durchgeführt werden oder nicht.

10           So ergibt sich der Lesetakt HLa ausgehend vom Takt HL'a, indem dieser letztere Takt in der Spalte 10 und 14 der Zeile 2 im Fall einer positiven Berechtigung des Containers VC31a in den restrukturierten Rahmen blockiert wird, oder in der Spalte 10 der Zeile 2 im Fall einer Nichtberechtigung des Containers VC31a in den restrukturierten Rahmen, oder  
15           indem überhaupt keine Blockierung im Fall einer negativen Berechtigung des Containers VC31a in den restrukturierten Rahmen durchgeführt wird.

20           Die Blockierschaltung 64' empfängt von der Zeitbasis 80 außer dem Takt HL'a ein Synchronisationssignal SYa, das die oben angegebenen Stellen markiert. Außerdem empfängt die Blockierschaltung 64' Steuersignale C aus der Vorrichtung zur Erzeugung einer Anfrage nach Berechtigung oder Nichtberechtigung 64, die die Anfragen nach Berechtigung oder  
25           Nichtberechtigung des Containers VC31a in den restrukturierten Rahmen angibt.

30           Der nachfolgend als berechnet bezeichnete Wert der Indexierbytes H1VC31\*, H2VC31\*, die in den Spalten 10 bis 13 der Zeilen 0 bis 1 eines gegebenen restrukturierten Rahmens während der Bildung dieses Rahmens eingefügt werden soll,  
35



wird beispielsweise für den Container VC31a durch eine Schaltung 65 zur Berechnung der Indexiersignale dieses Containers ausgehend von dem beobachteten Wert dieser Indexierbytes für den vorhergehenden Rahmen berechnet, der während der Bildung dieses vorhergehenden Rahmens (in der nachfolgend beschriebenen Weise) bestimmt wurde, indem der Wert 1, -1 oder 0 diesem Wert mit Hilfe eines Summierglieds 66 zugeführt wird, das Steuersignale aus der Vorrichtung 64 abhängig davon empfängt, ob eine Anfrage nach positiver oder negativer Berechtigung oder gar keine Anfrage nach einer Berechtigung erfolgte.

Der beobachtete Wert der Indexierbytes ergibt sich folgendermaßen, indem beispielsweise die Bytes H1VC31a\* und H2VC31a\* des Containers VC31a betrachtet werden.

Ein Zähler 67, der durch ein Signal RST in der Spalte 14 der Zeile 2 auf Null gesetzt wird (diese Stelle wird ausgehend von den Synchronisationssignalen des Rahmens ST\*, der Zeile SL\* und der Spalte SC\* der restrukturierten ausgehenden Rahmen erfaßt), wird durch ein Taktsignal CLK inkrementiert, das ausgehend vom Spaltensynchronisationssignal SC\* der ausgehenden restrukturierten Rahmen unter Berücksichtigung eines Bytes von vieren erhalten wird, indem das Taktsignal in den Spalten 0 bis 9 für die Zeilen 3 bis 8 und den Spalten 0 bis 13 für die Zeilen 0 bis 2 blockiert wird. Wenn ein erstes Byte eines Containers VC31a am Ausgang des Pufferspeichers 60 mit Hilfe des entsprechenden Markierbits 6a erfaßt wird, wird der Zählzustand dieses Zählers entsprechend dem gesuchten Wert in einem Register 68 gespeichert, dessen Takteingang das Markierbit 6a empfängt, das aus dem Pufferspeicher 60 ausgelesen wird, wobei die Dateneingänge dieses Registers an die Ausgänge des Zählers 67 angeschlossen sind.

Die restrukturierten Rahmen STM\* ergeben sich am Ausgang eines Multiplexers 74, dessen Dateneingänge an die Schaltungen zur Berechnung des Werts von Indexiersignalen

H1VC31\* und H2VC31\* (diese Schaltungen tragen die Bezugszeichen 65, 69, 70, 71 für die Container VC31a, VC31b, VC31c, VC31d), an die Ausgänge der vier Pufferspeicher 60, 61, 62, 63 für die Container VC31a, VC31b, VC31c, VC31d bildenden Signale und an die Ausgänge einer Quelle 75 für Füllsignale und/oder Dienstsingnale angeschlossen sind.

Die Steuereingänge des Multiplexers 74 empfangen Signale SY von der Zeitbasis 80, so daß eine Einfügung der Indexiersignale in den Spalten 10, 11, 12, 13 für die Zeilen 0 und 1, eine Einfügung der Füllsignale und/oder Dienstsingnale in den Spalten 0 bis 9 für die Zeilen 0 bis 8 und eine Einfügung der die zu verarbeitenden Container bildenden Signale wie oben beschrieben erfolgen kann.

Im Fall beispielsweise des Containers VC31a kann die Einfügung von Füllsignalen in den Spalten 10 und 14 für die Zeile 2 im Fall der positiven Berechtigung dieses Containers oder in der Spalte 10 für die Zeile 2 im Fall der Nichtberechtigung dieses Containers einfach durch erneutes Lesen eines in dem Pufferspeicher 60 gespeicherten Bytes erhalten werden, wobei dieses erneute Lesen durch eine Blockierung des Lesetakts dieses Pufferspeichers an dieser Stelle bewirkt wird.

In Figur 32 ist die Zuordnung der Spalten der re-strukturierten Rahmen zu den verschiedenen restrukturierten Multiplexiereinheiten TU31\* dargestellt. Mit ABCD seien die Spalten bezeichnet, die den restrukturierten Multiplexiereinheiten TU31\*a, TU31\*b, TU31\*c und TU31\*d zugewiesen sind.

Die Spalten A werden von den Spalten 10, 14, ... 266 gebildet.

Die Spalten B werden von den Spalten 11, 15, ... 267 gebildet.

Die Spalten C werden von den Spalten 12, 16, ... 268 gebildet.

Die Spalten D werden von den Spalten 13, 17, ... 269 gebildet.

Die Anzahl von Spalten, die je Rahmen jeder restrukturierten Multiplexiereinheit TU31\* zugeordnet ist, gleicht der Anzahl von Bytes, die der entsprechenden Multiplexiereinheit in einem nicht restrukturierten Rahmen zugeteilt sind, geteilt durch die Anzahl von Zeilen, also  $585/9 = 65$ .

Figur 33 zeigt die Zuordnung der Spalten der restrukturierten Rahmen zu den restrukturierten Multiplexiereinheiten TU31a\*, TU31b\*, TU22a\* bis TU22f\*, TU11a\* bis TU11e\*, TU12a\* bis TU12d\* im Fall der in Figur 2 beschriebenen Multiplexierstruktur, wobei die zu bearbeitenden Container die Container VC31a, VC31b, VC22a bis VC22f, VC11a bis VC11e, VC12a bis VC12d sind.

Mit ABCD .. Q seien die Spalten bezeichnet, die diesen restrukturierten Multiplexiereinheiten zugewiesen sind. Die Spalten 10 und 11 sind Spalten A bzw. B, die den restrukturierten Multiplexiereinheiten TU31a\* und TU31b\* zugeordnet sind und beispielsweise in den Zeilen 0 und 1 die Indexierbytes H1VC31a\*, H1VC31b\*, H2VC31a\* und H2VC31b\* sowie in der Zeile 2 die Berechtigungsbytes H3VC31a\* und H3VC31b\* enthalten. Da die anderen restrukturierten Multiplexiereinheiten einer niedrigeren hierarchischen Ebene angehören, enthalten die Spalten 12 und 13 Füllbytes.

Von der Spalte 14 bis zur Spalte 77 ergibt sich folgende Spaltenorganisation: ABCG ABDH ABEI ABFN ABCG ABDH ABEJ ABFO ABCG ABDH ABEK ABFP ABCG ABDH ABEL ABFQ. Von der Spalte 78 bis zur Spalte 141 und dann von der Spalte 142 bis zur Spalte 205 und schließlich von der Spalte 206 bis zur Spalte 269 wiederholt sich die Organisation, wobei jedoch die Spalten 89, 105, 121 und 137, dann die Spalten 153, 169, 185, 201 und schließlich die Spalten 217, 233, 249, 265 Spalten MIJK, dann Spalten LMIJ und schließlich Spalten KLM mit Füllbytes und nicht Spalten IJKL sind, wie dies für die Spalten 25, 41, 57, 73 gilt.

In diesem Beispiel ergibt sich der Takt für die Entnahme der Signale, die zu verteilende Multiplexiereinhei-

ten bilden, aus den restrukturierten Rahmen ausgehend vom Spaltensynchronisationssignal SC\* der restrukturierten Rahmen, indem dieses Signal in den Spalten 0 bis 9 für die Zeilen 0 bis 8 blockiert wird.

5           In dem Ausführungsbeispiel des Schreibadressengenerators für den Speicher der zu verteilenden Signale, das anhand der Figuren 7, 8 und 9 beschrieben wurde, bildet das so erhaltene Signal das Taktsignal CK, das für die Inkrementierung der Zähler dieses Generators verwendet wird. Das  
10 Nullsetzungssignal RAZ dieses Zählers ergibt sich ausgehend vom Spaltensynchronisationssignal SC\* der restrukturierten Rahmen, indem es überall blockiert wird, außer in der Spalte 10 und in Spalte 14 für die Zeilen 0 bis 8.

15           Wie oben anlässlich der Beschreibung der Figuren 7, 8 und 9 erwähnt, gehören die so durch die Auswahlhaltung 14 ausgewählten Zähler dieses Schreibadressengenerators zur Zähler-Gruppe 4.

20           Es sei erwähnt, daß im Fall einer Multiplexierstruktur US, in der die dann durch die Schaltung 14 ausgewählten Zähler dieses Adressengenerators zur Zähler-Gruppe 5 gehören, das für die Inkrementierung dieser Zähler verwendete Taktsignal CK dann erhalten wird, indem das Spaltensynchronisationssignal der restrukturierten Rahmen in den Spalten 0 bis 11 für die Zeilen 0 bis 8 blockiert wird, worauf die die  
25 zu verteilenden Multiplexiereinheiten bildenden Signale dann in die Spalten 12 bis 269 für die Zeilen 0 bis 8 eingetragen werden. Das Nullsetzungssignal RAZ dieser Zähler ergibt sich dann ausgehend vom Spaltensynchronisationssignal der restrukturierten Rahmen, indem dieses Signal überall blockiert  
30 wird außer in der Spalte 12 und in der Spalte 18 für die Zeilen 0 bis 8.

91104173.9-2209

## ANSPRÜCHE

- 5 1. Elementare Vermittlungseinheit für eine Verteileinrichtung von durch zeitliche Multiplexierung von digitalen Datenströmen unterschiedlicher Durchsätze multiplexierten digitalen Daten gemäß einer synchronen Multiplexierhierarchie, auf deren verschiedenen Ebenen Datenzuflüsse einge-  
10 geben werden können und die Multiplexiereinheiten genannt werden, welche entweder Multiplexsignale sind, die aus der Multiplexierung von Multiplexiereinheiten einer niedrigeren hierarchischen Ebene gebildet werden, oder von Signalen aus den ankommenden Datenströmen gebildet werden, wobei die  
15 elementare Vermittlungseinheit gemäß einem bestimmten Gesetz eine Verteilung der Signale, die Multiplexiereinheiten bilden, sogenannte zu verteilende Multiplexiereinheiten, von ankommenden Rahmen, die auf mehreren ankommenden Übertragungskanälen in dieser elementaren Vermittlungseinheit  
20 ankommen, auf ausgehende Rahmen bewirkt, die auf einem ausgehenden Übertragungskanal dieser Vermittlungseinheit verlaufen, wobei die Vermittlungseinheit für jeden Übertragungskanal von ankommenden Rahmen aufweist:
- Mittel zur Entnahme von Signalen (SCB) aus den zu verteilenden Multiplexiereinheiten der ankommenden Rahmen,
  - einen Speicher (1) für die Signale von zu verteilenden Multiplexiereinheiten, der mindestens N Signale enthalten kann, wobei N die Wiederholperiode in den ankommenden Rahmen von Datenflüssen mit dem kleinsten Durchsatz der Multiple-  
30 xierhierarchie bezeichnet,
  - Mittel (2, 3), um ein Einschreiben in diesen Speicher synchron mit dem Entnahmerhythmus der Signale an unterschiedlichen Adressen für Signale von unterschiedlichen zu verteilenden Multiplexiereinheiten bzw. an gleichen Adressen  
35 für Signale einer gleichen zu verteilenden Multiplexier-

einheit zu gewährleisten, wobei die Frequenz des Wiedereinschreibens an jeder Adresse mit der Wiederholperiode der an dieser Adresse eingeschriebenen Signale in den ankommenden Rahmen verknüpft ist,

- 5 - Mittel (20, 21, 22), um ein Lesen dieses Speichers synchron mit dem Einfügerhythmus von Signalen der zu verteilenden Multiplexiereinheiten in die Ausgangsrahmen an durch das Verteilgesetz bestimmten Adressen zu gewährleisten,
- 10 dadurch gekennzeichnet, daß die Leseadressen des Speichers (1) für die zu verteilenden Multiplexiereinheiten durch ein mit dem Einfügerhythmus synchrones Auslesen eines Verbindungsspeichers (20) erhalten werden, der das Verteilgesetz in Form einer Zuordnung zwischen dem Einfügerhythmus
- 15 und den Adressen der verschiedenen Speicher von Signalen der zu verteilenden Multiplexiereinheiten in dieser elementaren Vermittlungseinheit enthält, und zwar an unterschiedlichen Adressen für Signale von unterschiedlichen zu verteilenden Multiplexiereinheiten und an gleichen Adressen für Signale
- 20 von einer gleichen zu verteilenden Multiplexiereinheit, wobei die Frequenz des erneuten Auslesens der Adressen des Verbindungsspeichers (20) mit der Wiederholperiode der Signale der zu verteilenden Multiplexiereinheiten verknüpft ist, die in die ausgehenden Rahmen zu den entsprechenden
- 25 Zeitpunkten eingefügt werden sollen, und der Periode der Signale gebildet, die an den entsprechenden Adressen des Speichers für Signale zu lesen sind, die zu verteilende Multiplexiereinheiten bilden.

- 30 2. Vermittlungseinheit nach Anspruch 1, dadurch gekennzeichnet, daß, wenn die Multiplexierhierarchie unterschiedliche mögliche Multiplexierstrukturen gemäß dem Durchsatz der zu multiplexierenden Datenflüsse umfaßt und die hierarchischen Ebenen, die je die ankommenden Signale mit einem bestimmten
- 35 Multiplexierfaktor multiplexieren, und die Perioden der

jeweiligen in den Speicher (1) für zu verteilende Container bildende Signale einzuschreibenden Signale durch periodisches Auslesen eines Rahmenbeschreibungsspeichers (3) zur Beschreibung von ankommenden Rahmen synchron mit dem Entnahmerhythmus erhalten werden, wobei dieser letztgenannte Speicher mindestens M Wörter von m Bits aufnehmen kann und M den Höchstwert für die Gesamtheit der möglichen Multiplexierstrukturen aus dem Produkt der Multiplexierfaktoren dieser Strukturen mit Ausnahme derjenigen bezeichnet, die sich auf hierarchische Ebenen beziehen, wo nur Signale aus ankommenden Datenzuflüssen multiplexiert werden können, und wobei m die Anzahl von Bits bezeichnet, die notwendig sind, um die maximal mögliche Anzahl von unterschiedlichen Perioden der Datenzuflüsse in den ankommenden Rahmen zu kodieren.

3. Vermittlungseinheit nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet, daß die Mittel (2, 3), um ein Beschreiben des Speichers (1) für Signale von zu verteilenden Containern an unterschiedlichen Adressen für Signale von unterschiedlichen zu verteilenden Multiplexiereinheiten zu bewirken, Mittel (4, 5) aufweisen, um eine sequentielle Adressierung dieses Speichers zu gewährleisten.

4. Vermittlungseinheit nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß im Fall von in Abschnitte gleicher Länge zerschnittenen ankommenden Rahmen, in denen die zu verteilenden Multiplexiereinheiten nur vorbestimmte elementare Stellen einer definierten Lage bezüglich des Beginns dieser Abschnitte einnehmen können, die sich für eine gegebene Multiplexiereinheit von einem Rahmenabschnitt zu einem anderen und von einem Rahmen zu einem anderen nicht ändern, der Entnahmerhythmus (CK) der Signale der zu verteilenden Multiplexiereinheiten ausgehend vom Synchronisationssignal der elementaren Stellen dieser Rahmen erhalten

wird, indem dieser Rhythmus außerhalb der vorbestimmten elementaren Stellen blockiert wird.

5. Vermittlungseinheit nach Anspruch 1, dadurch gekennzeichnet, daß, wenn die Multiplexierhierarchie unterschiedliche mögliche Multiplexierstrukturen gemäß dem Durchsatz der zu multiplexierenden ankommenden Datenflüsse aufweist und die hierarchischen Ebenen, die jedes der ankommenden Signale mit einem bestimmten Multiplexierfaktor multiplexieren, die Wiederholperioden der Signale von zu verteilenden und in die ausgehenden Rahmen einzufügenden Multiplexiereinheiten sich durch periodisches Lesen eines Speichers (22), der die ausgehenden Rahmen beschreibt, synchron mit dem Einfügerhythmus ergeben, wobei dieser Speicher mindestens M Wörter von m Bits enthalten kann und M den Maximalwert aus dem Produkt der Multiplexierfaktoren dieser Strukturen für die Gesamtheit der möglichen Multiplexierstrukturen mit Ausnahme derjenigen bezeichnet, die sich auf hierarchische Ebenen beziehen, in denen nur Signale aus den ankommenden Datenzuflüssen multiplexiert werden können, während m die Anzahl von Binärelementen bezeichnet, die zur Kodierung der maximal möglichen Anzahl von unterschiedlichen Perioden der Datenflüsse in den ausgehenden Rahmen erforderlich sind.

6. Vermittlungseinheit nach Anspruch 1, dadurch gekennzeichnet, daß die Mittel (21, 22), die das Auslesen des Verbindungsspeichers (20) an unterschiedlichen Adressen für Signale der unterschiedlichen zu verteilenden Multiplexiereinheiten gewährleisten, Mittel (21) aufweisen, um eine sequentielle Adressierung dieses Speichers zu erlauben.

7. Vermittlungseinheit nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß im Fall von ausgehenden Rahmen, die je in Abschnitte gleicher Länge zerschnitten sind, in denen die zu verteilenden Multiplexiereinheiten nur vor-



29.07.97

- 48 -

- bestimmte elementare Stellen einer definierten Lage bezüglich des Beginns dieser Abschnitte einnehmen können, die sich für eine gegebene Multiplexiereinheit von einem Rahmenabschnitt zum anderen und von einem Rahmen zum anderen nicht ändern, der Entnahmerhythmus (CK) der Signale von zu verteilenden Multiplexiereinheiten aus dem Synchronisationssignal der elementaren Stellen der Rahmen erhalten wird, indem dieser Rhythmus außerhalb der vorbestimmten elementaren Stellen blockiert wird.
- 5

15

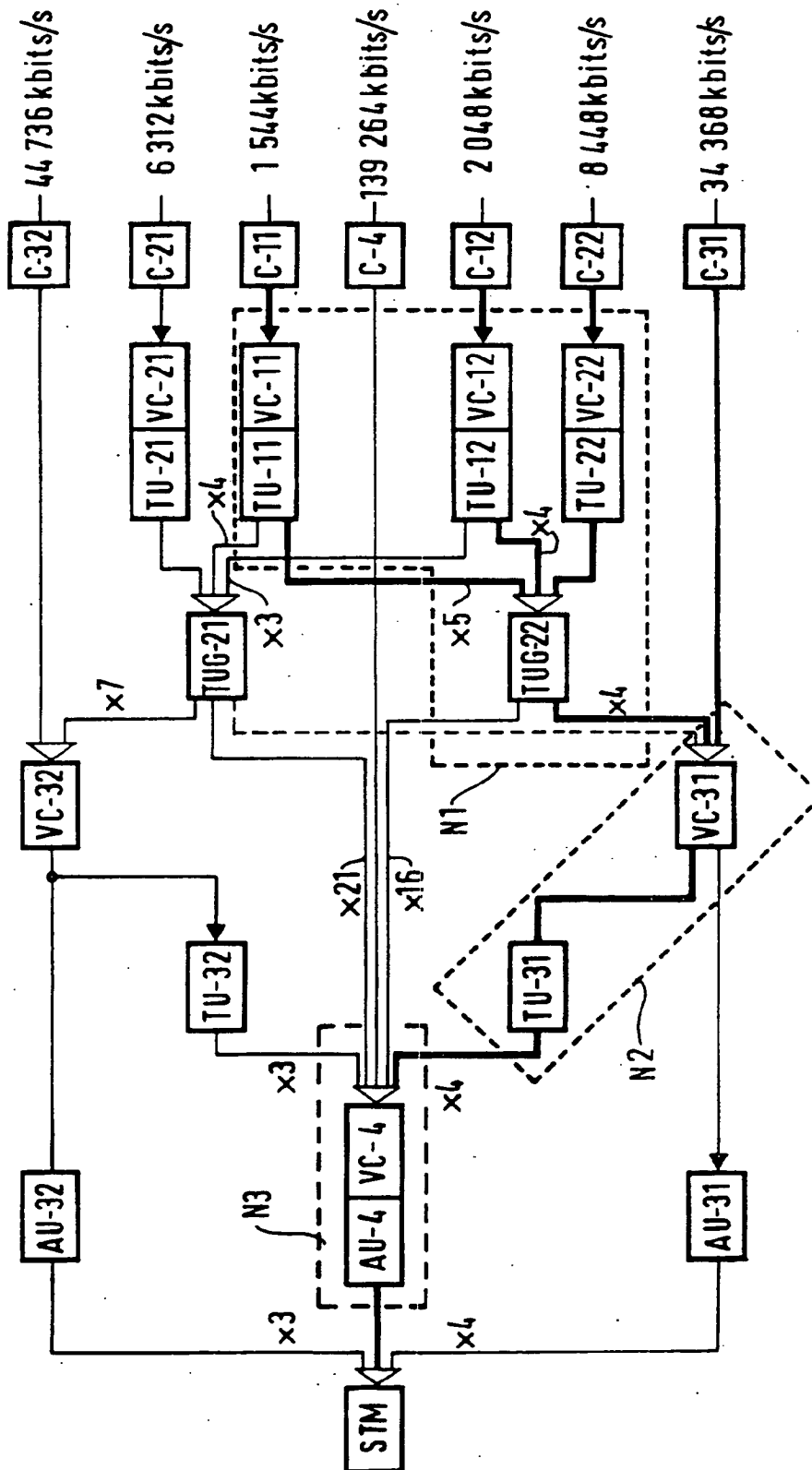


FIG.2

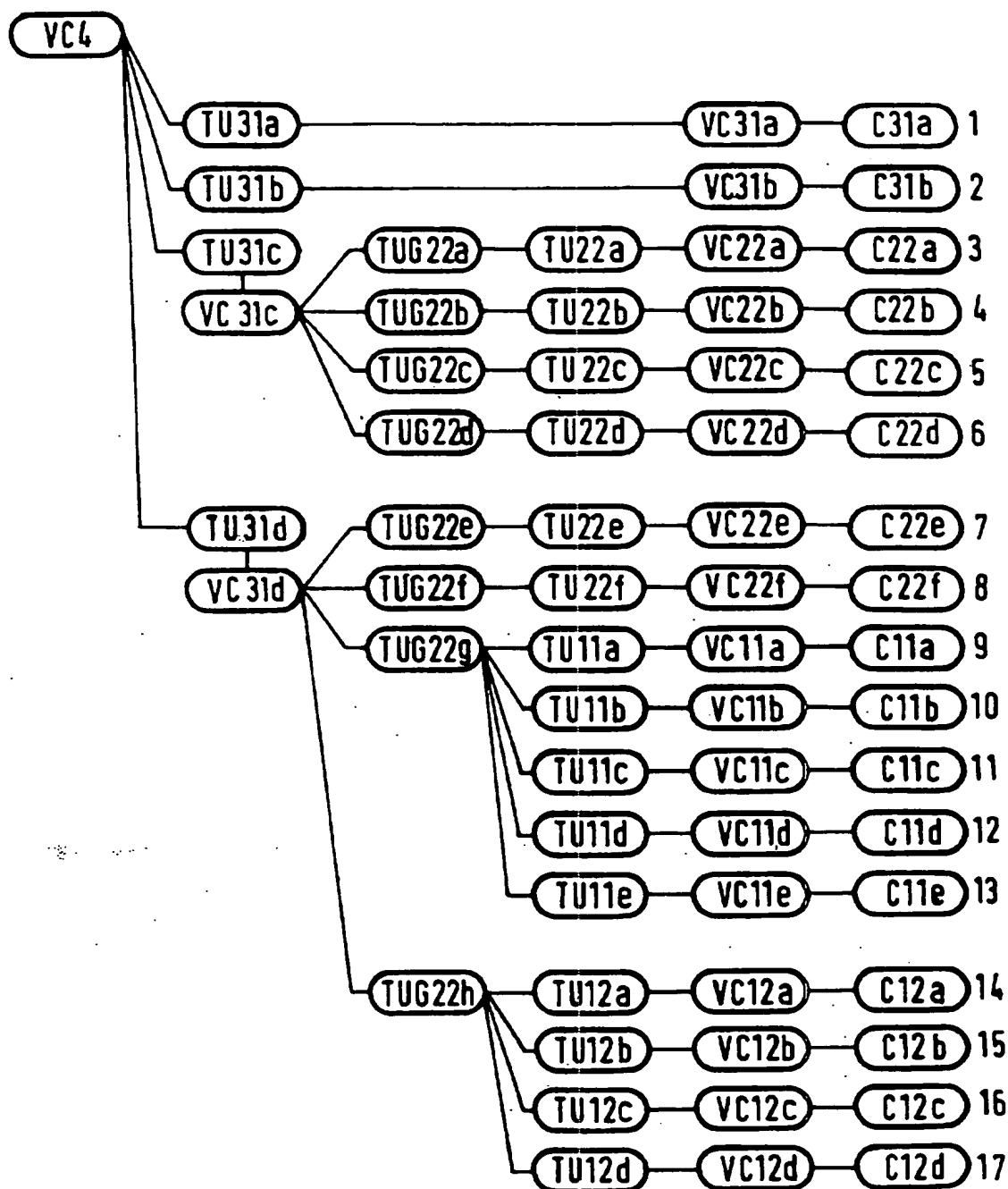
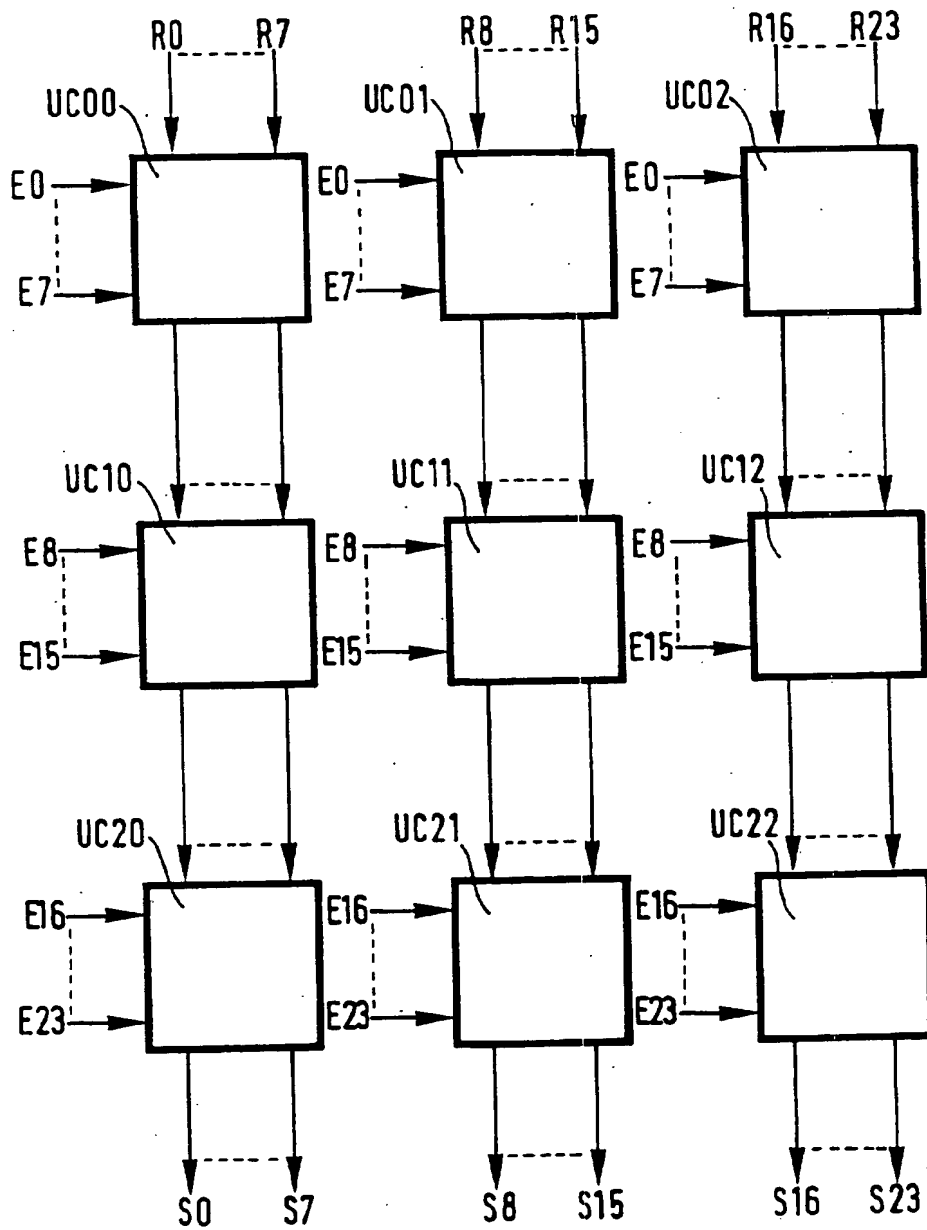


FIG.3



28.07.97

4/21

FIG.4

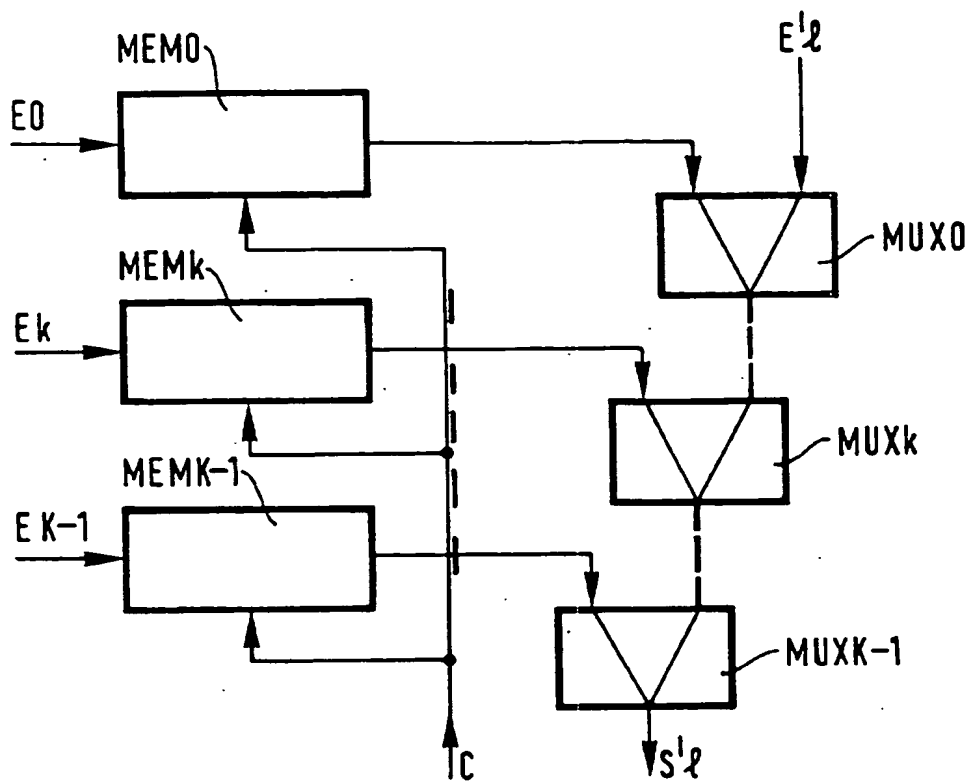


FIG.5

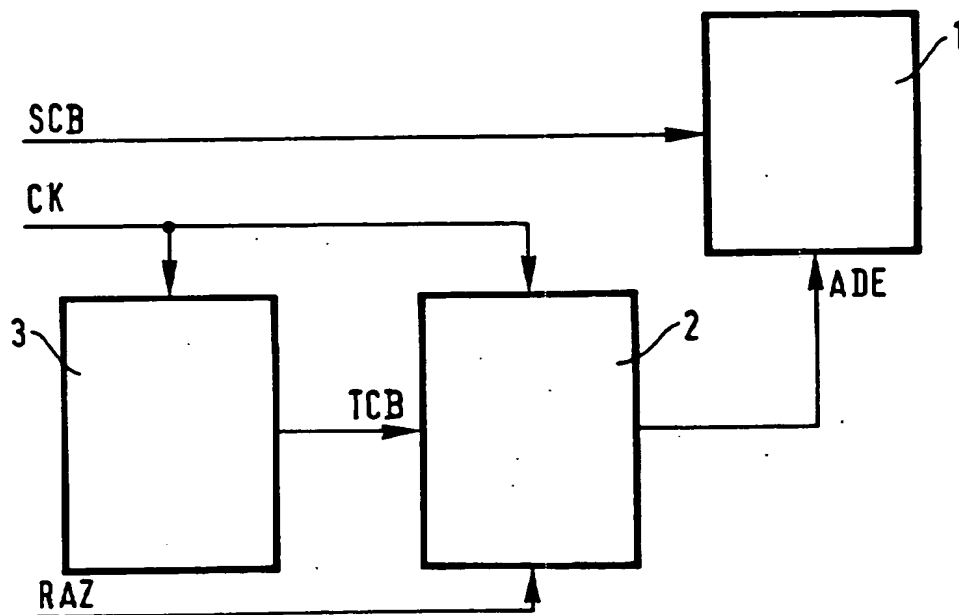


FIG. 6

TCB →	TU31	TU31	TU22	TU22	TU31	TU31	TU22	TU22	TU31	TU31	TU22	TU22	TU31	TU31	TU22	TU22
T →	4	4	16	16	4	4	16	16	4	4	16	16	4	4	16	16
ADE	0	1	2	3	0	1	6	7	0	1	1	10	0	1	1	14
CB	1	2	3	7	1	2	4	8	1	2	5	9	1	2	6	14
	1	2	3	7	1	2	4	8	1	2	5	10	1	2	6	15
	1	2	3	7	1	2	4	8	1	2	5	11	1	2	6	16
	1	2	3	7	1	2	4	8	1	2	5	12	1	2	6	17
	1	2	3	7	1	2	4	8	1	2	5	13	1	2	6	14

6/21

29.07.97

FIG.7

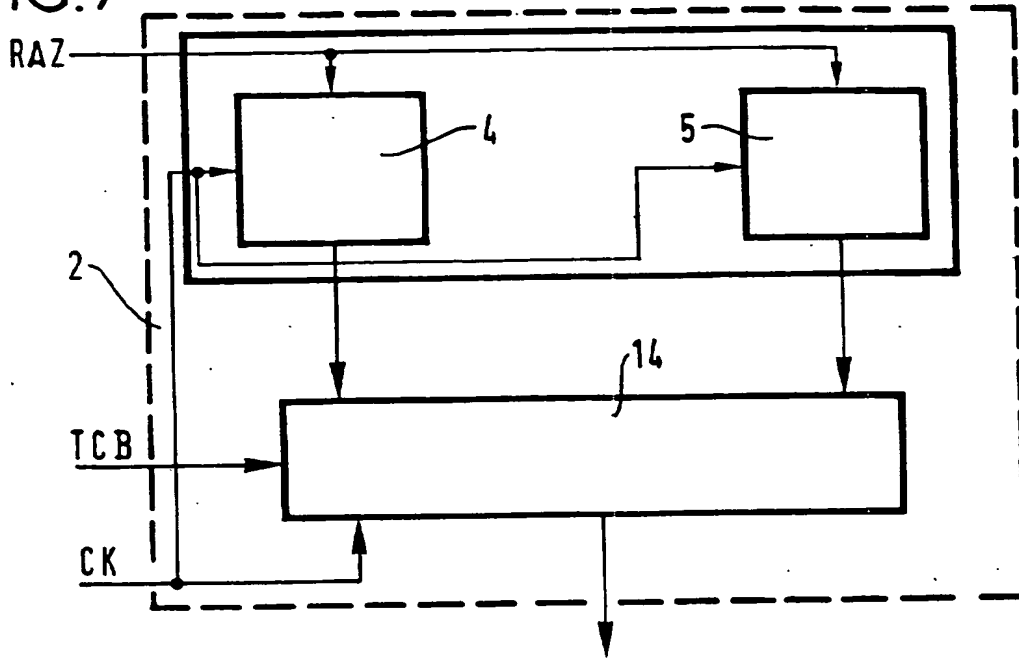


FIG.8

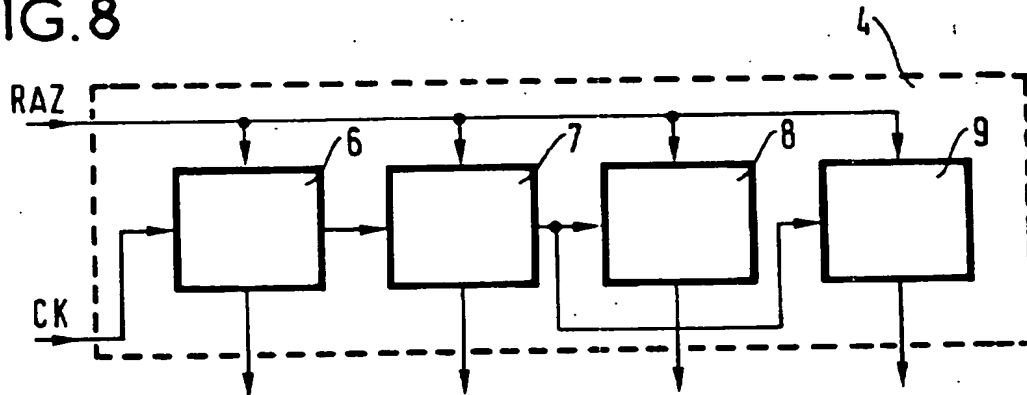
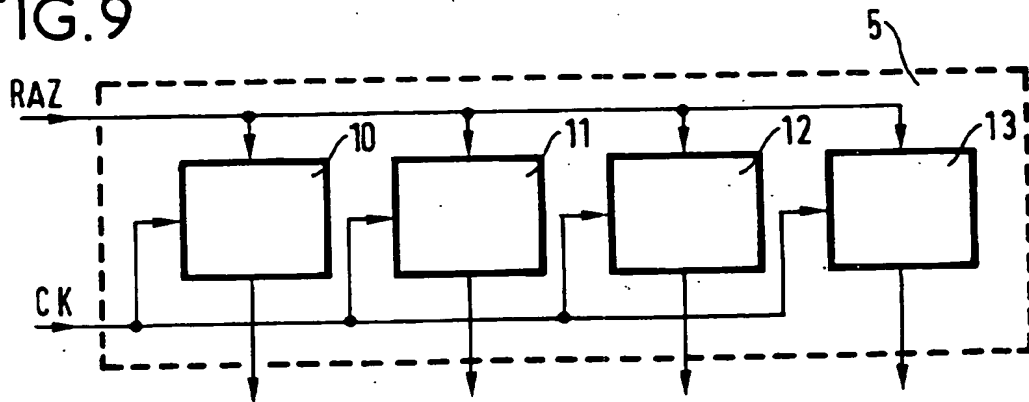


FIG.9

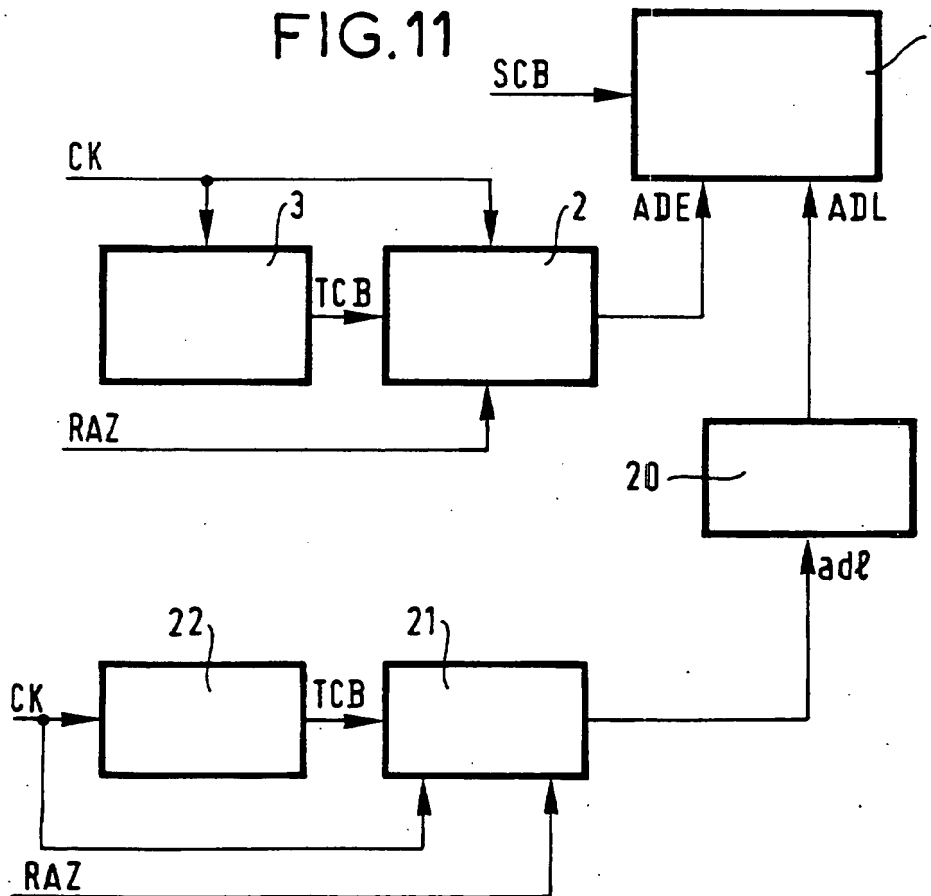


7/21

FIG. 10

T	CS
4	6
16	6_7
64	6_7_8
80	6_7_9
3	10
21	11
63	12
84	13

FIG. 11





8/21

29.07.97

FIG.12

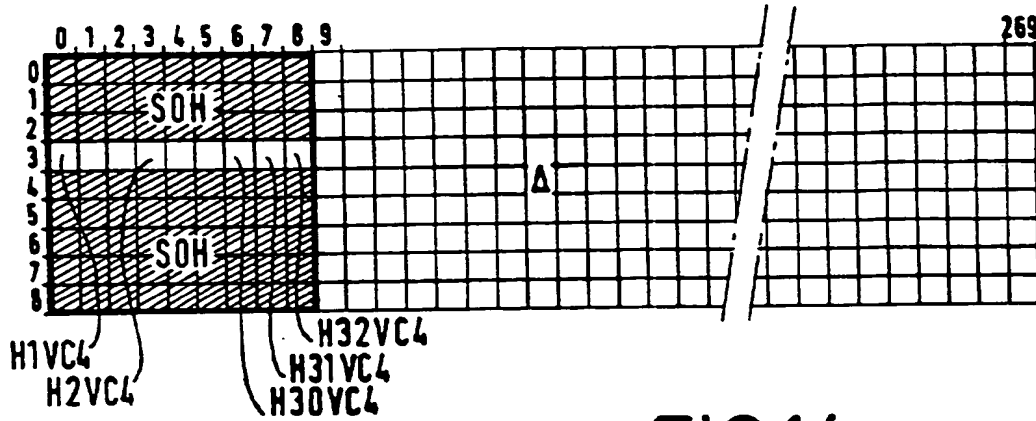


FIG.14

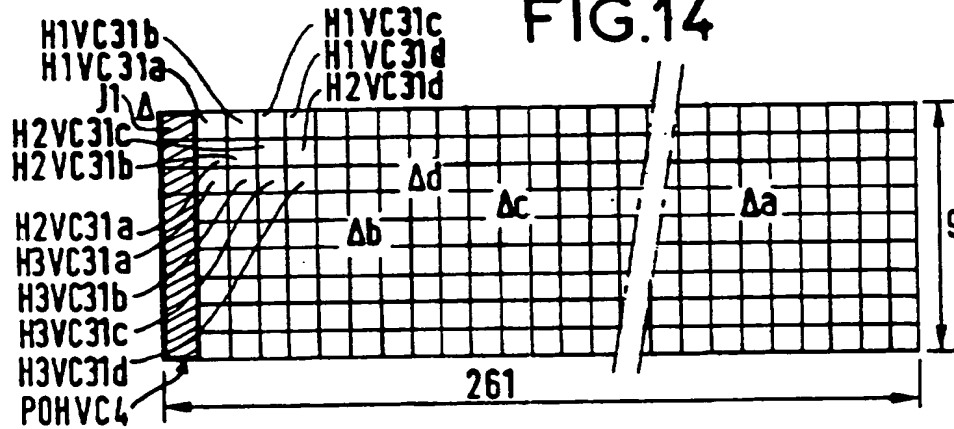
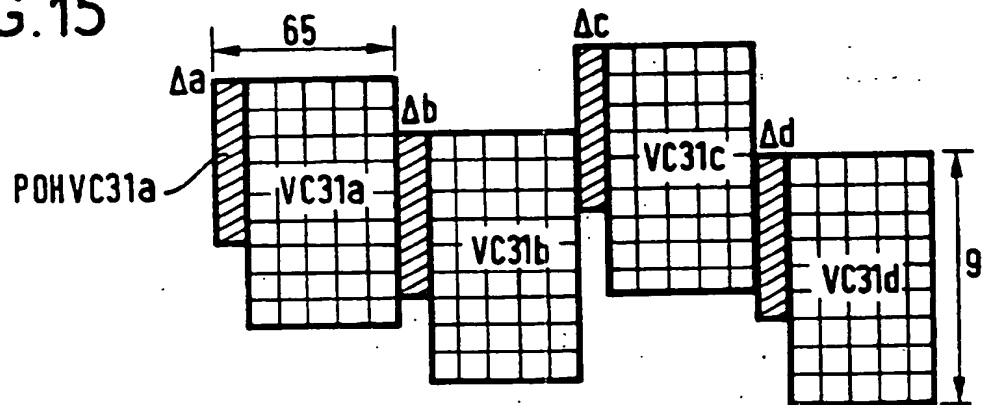


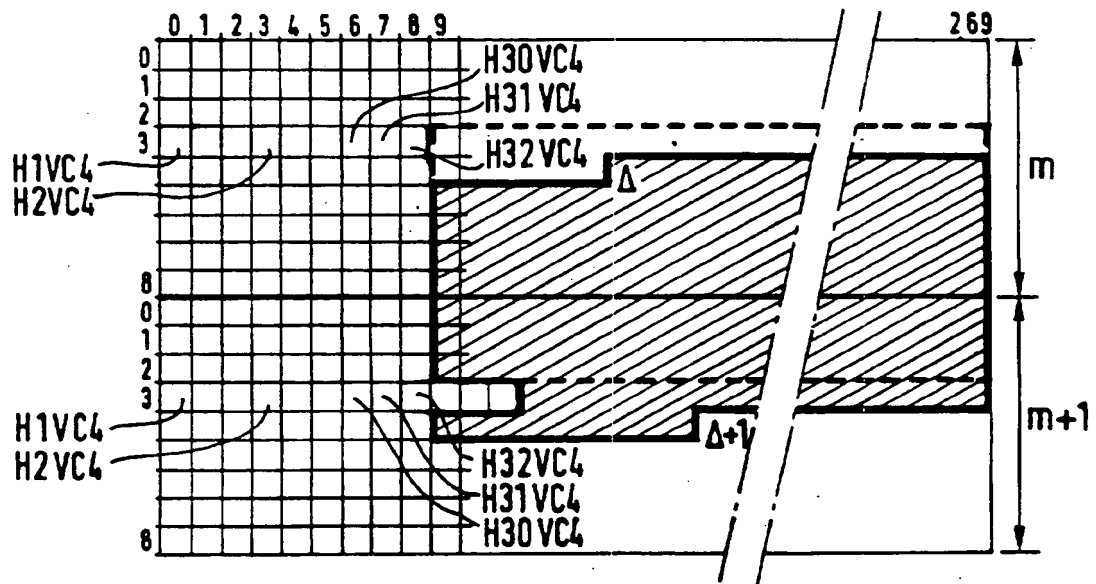
FIG.15



2007

9/21

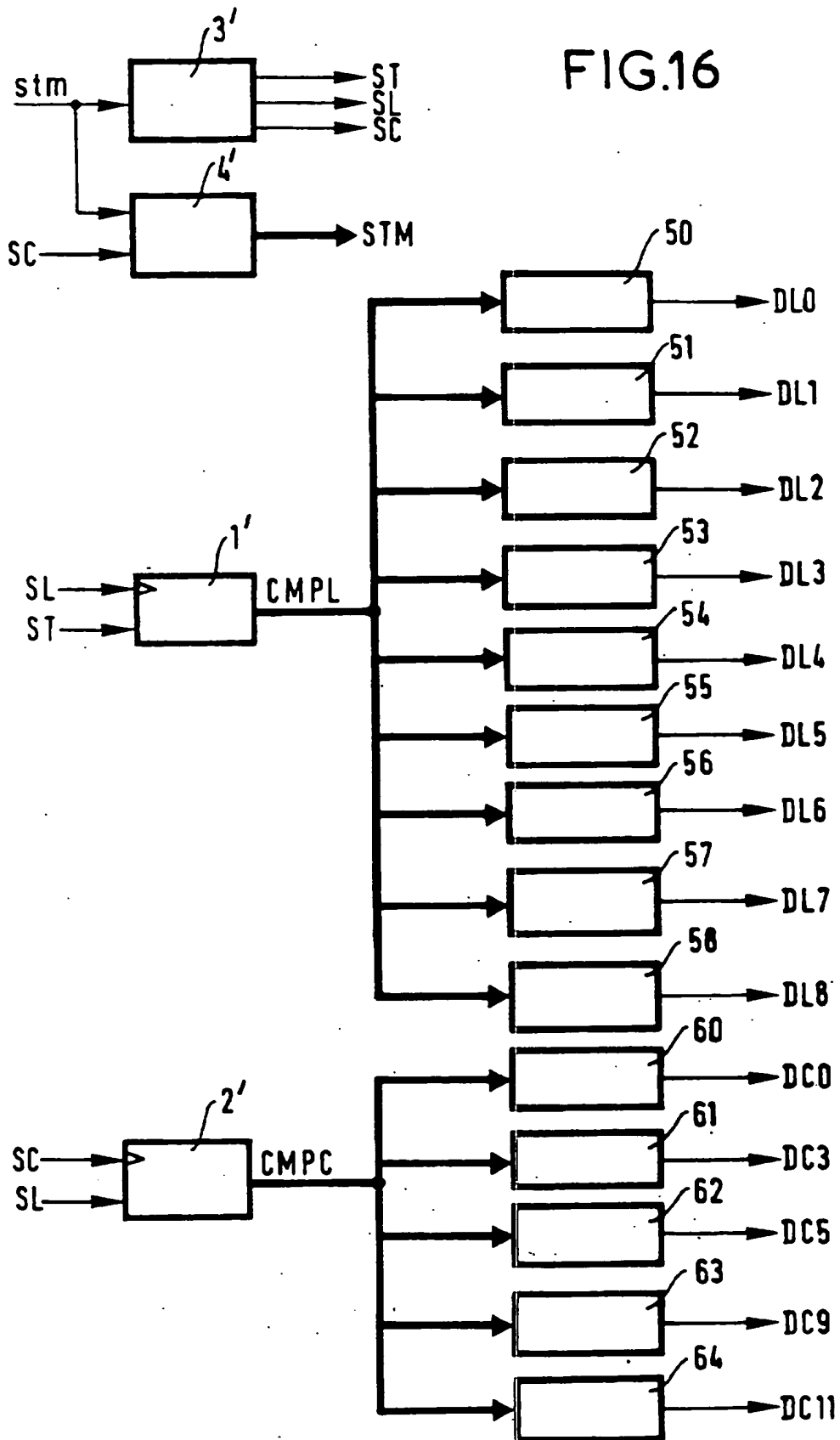
FIG.13



10/21

200797

FIG.16



29.07.97

11/21

FIG.17

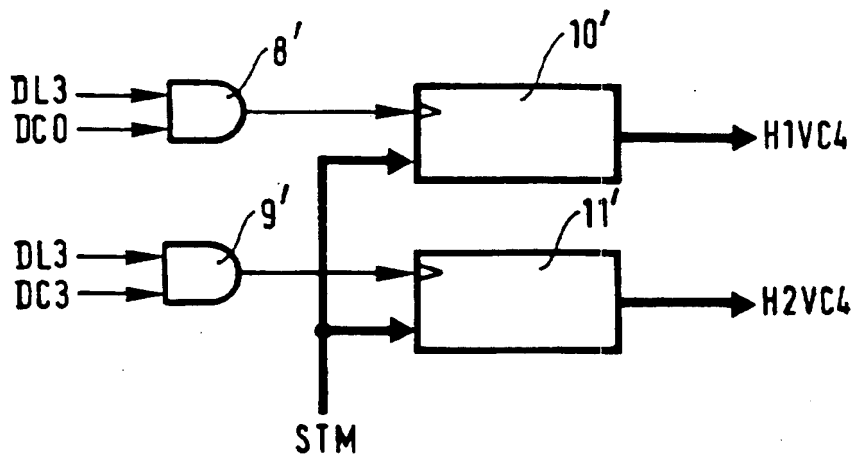


FIG.18

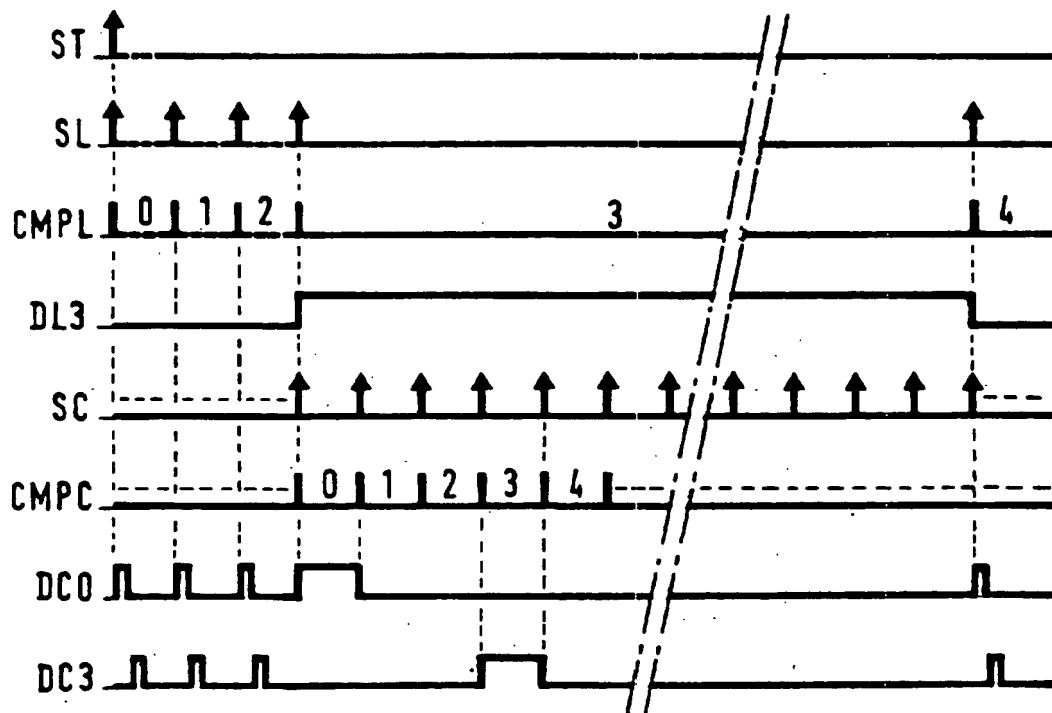
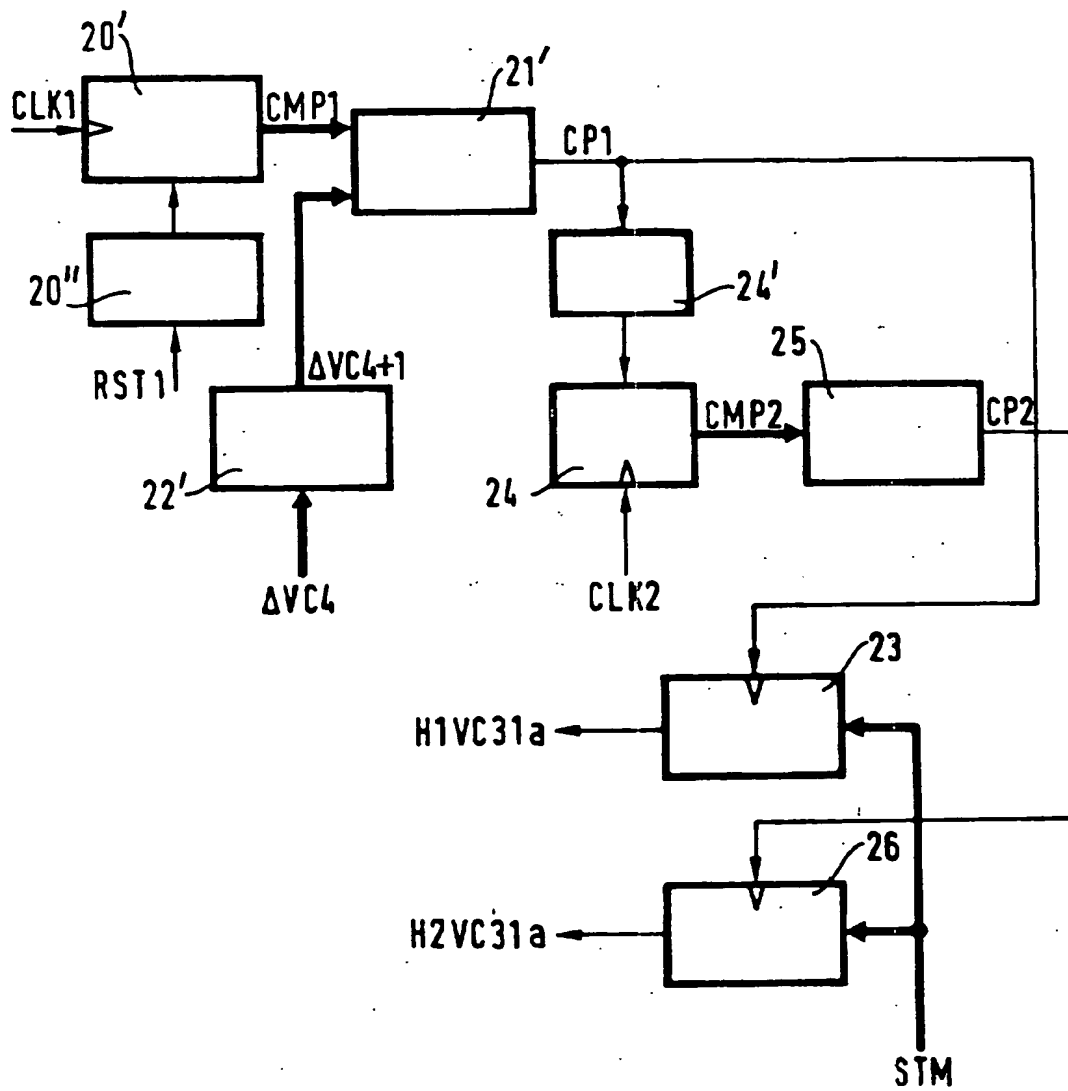


FIG.19



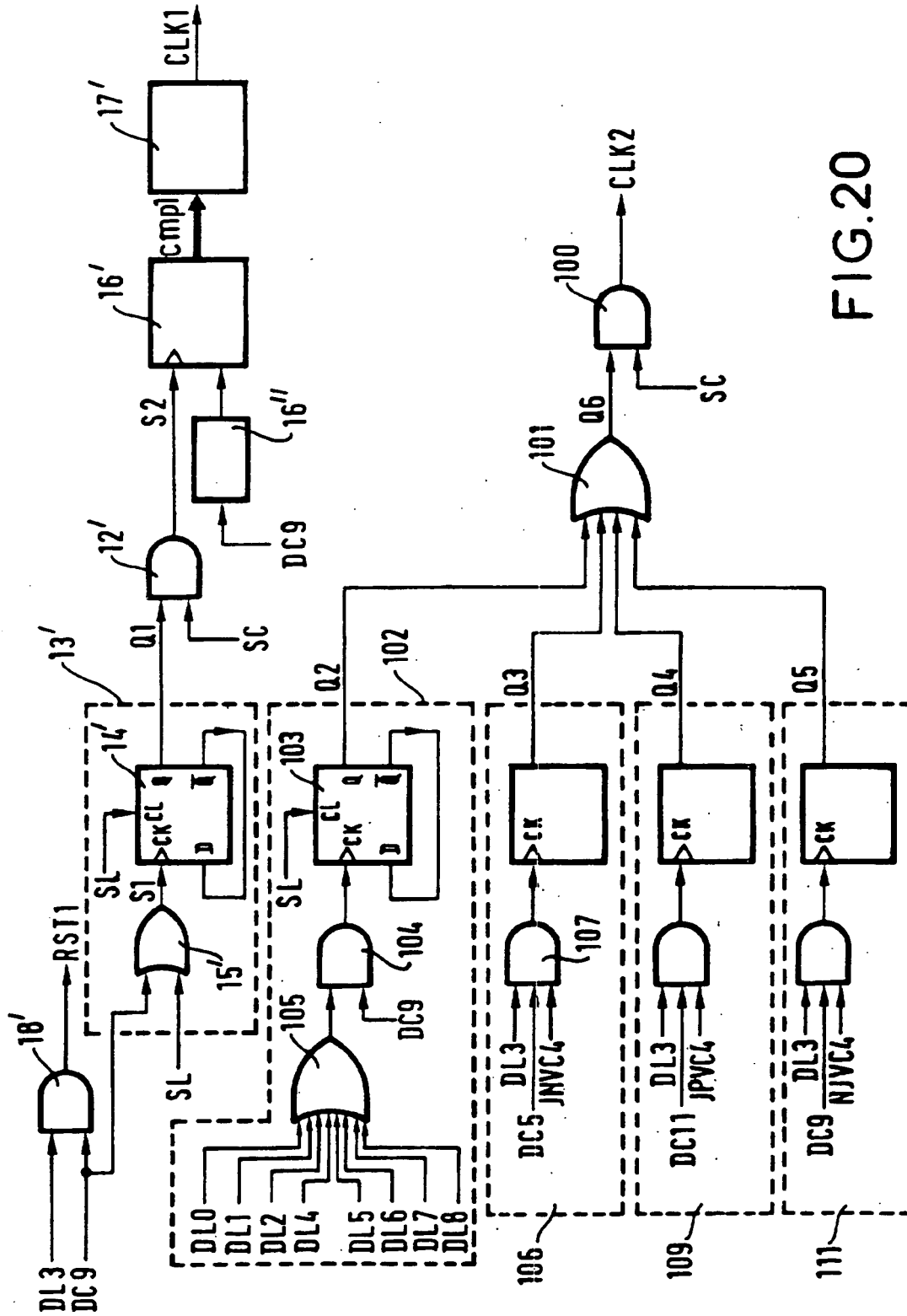


FIG.20

2007

14/21

FIG.21

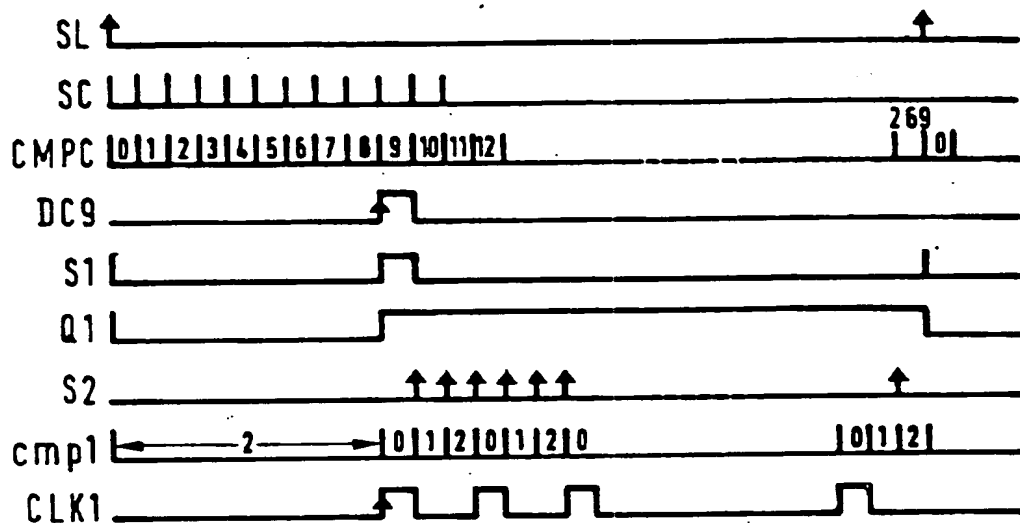
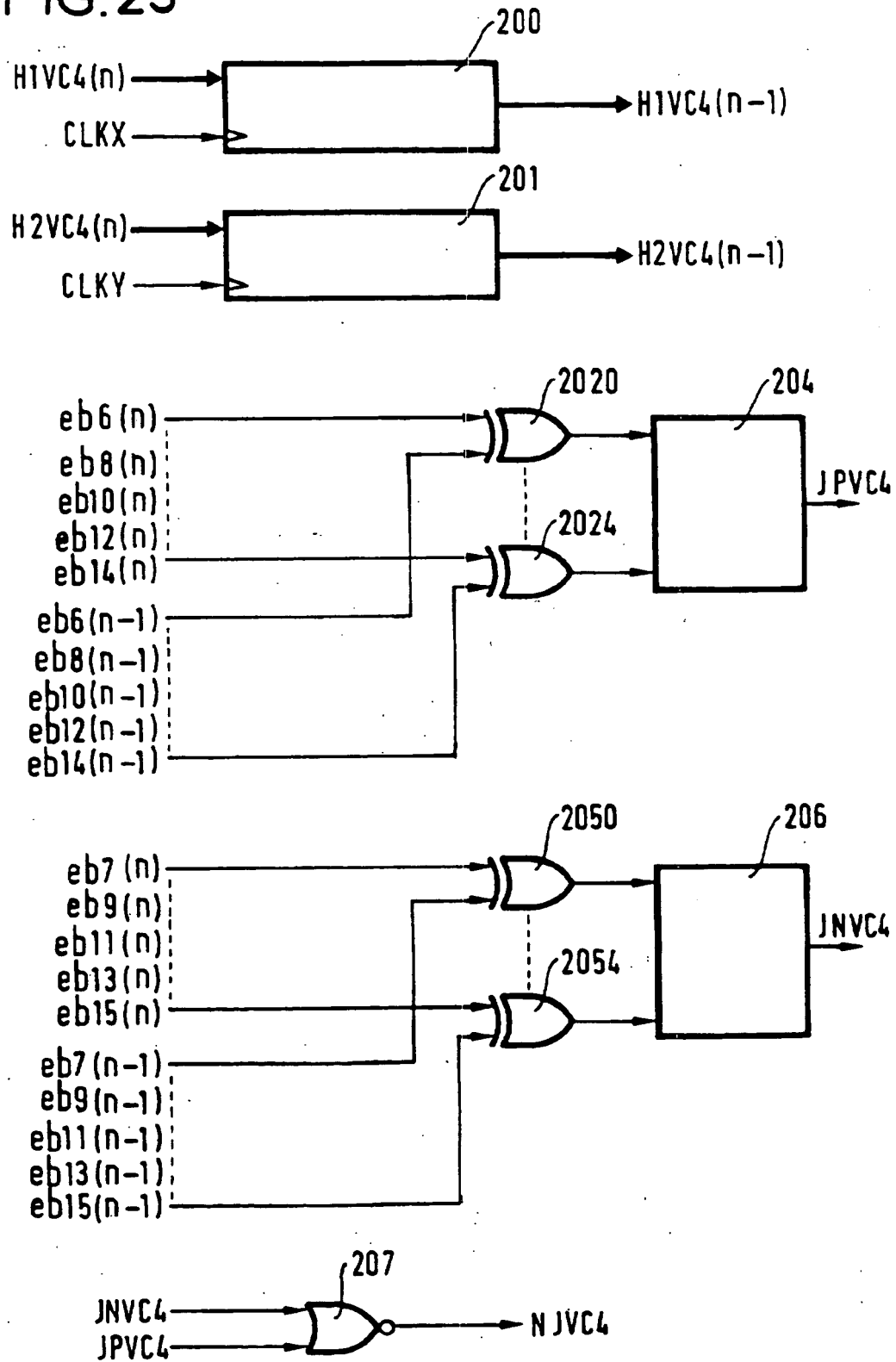


FIG.22

H1VC4								H2VC4							
						I	D	I	D	I	D	I	D	I	D
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

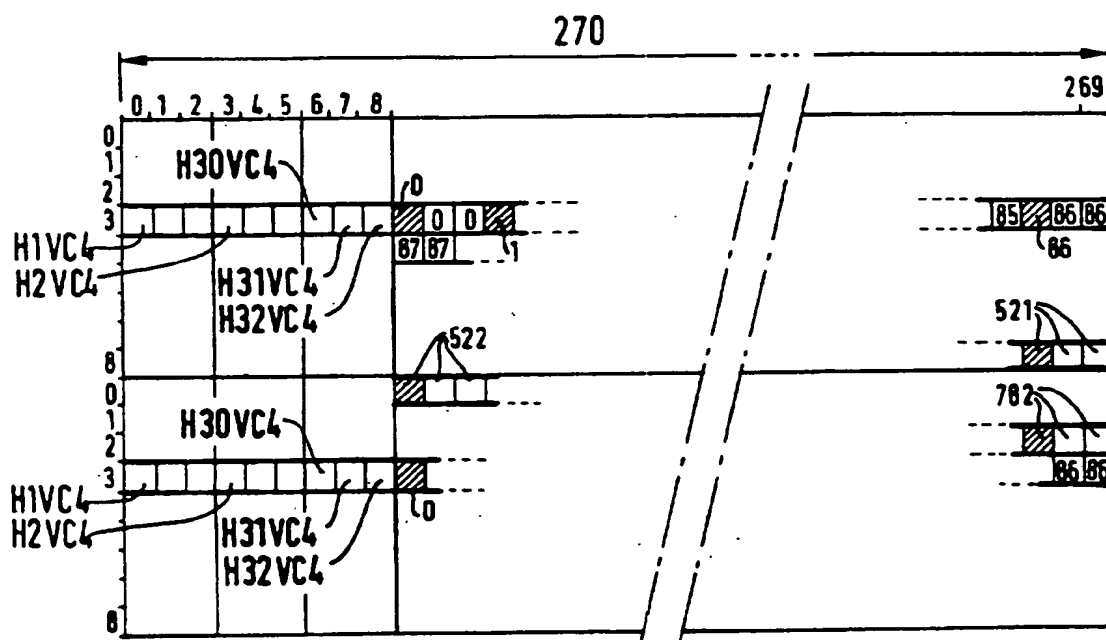
FIG. 23





16/21

FIG. 24



17/21

FIG. 25

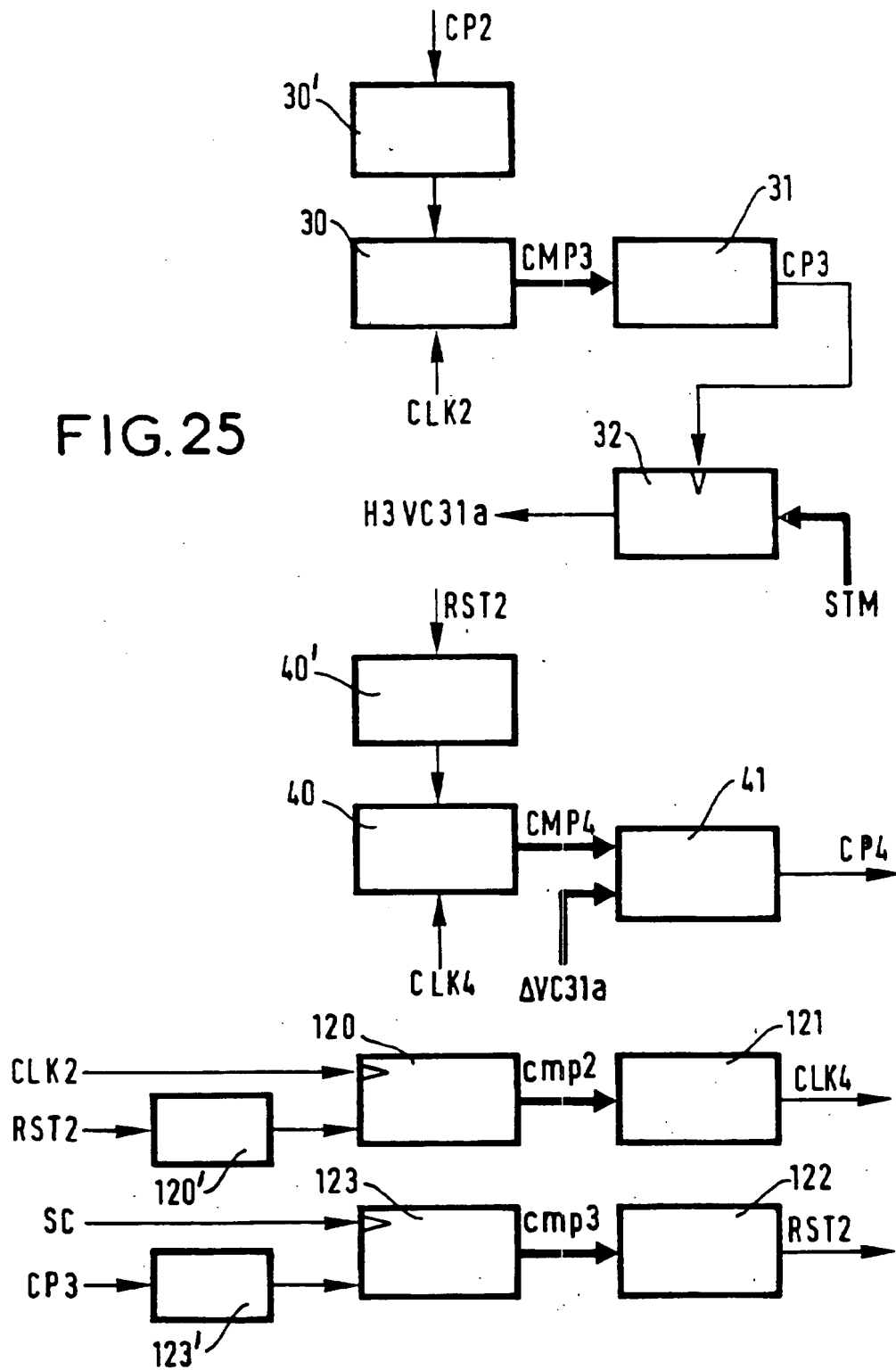




FIG.28

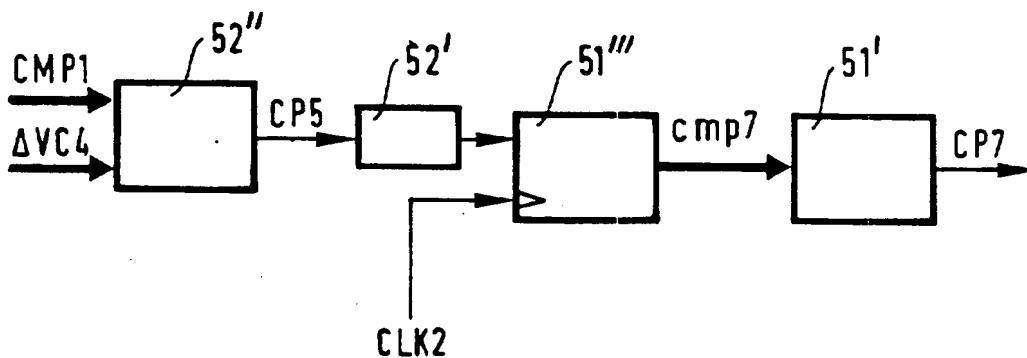
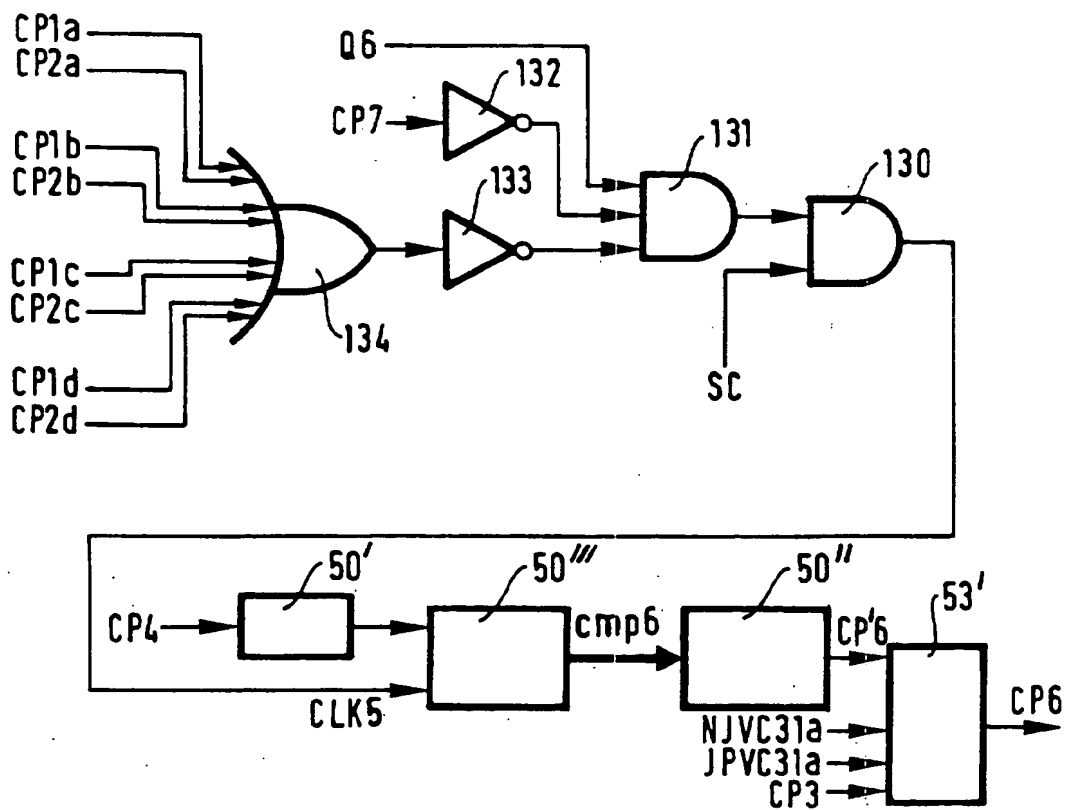


FIG.29



29.07.97

20/21

FIG.30

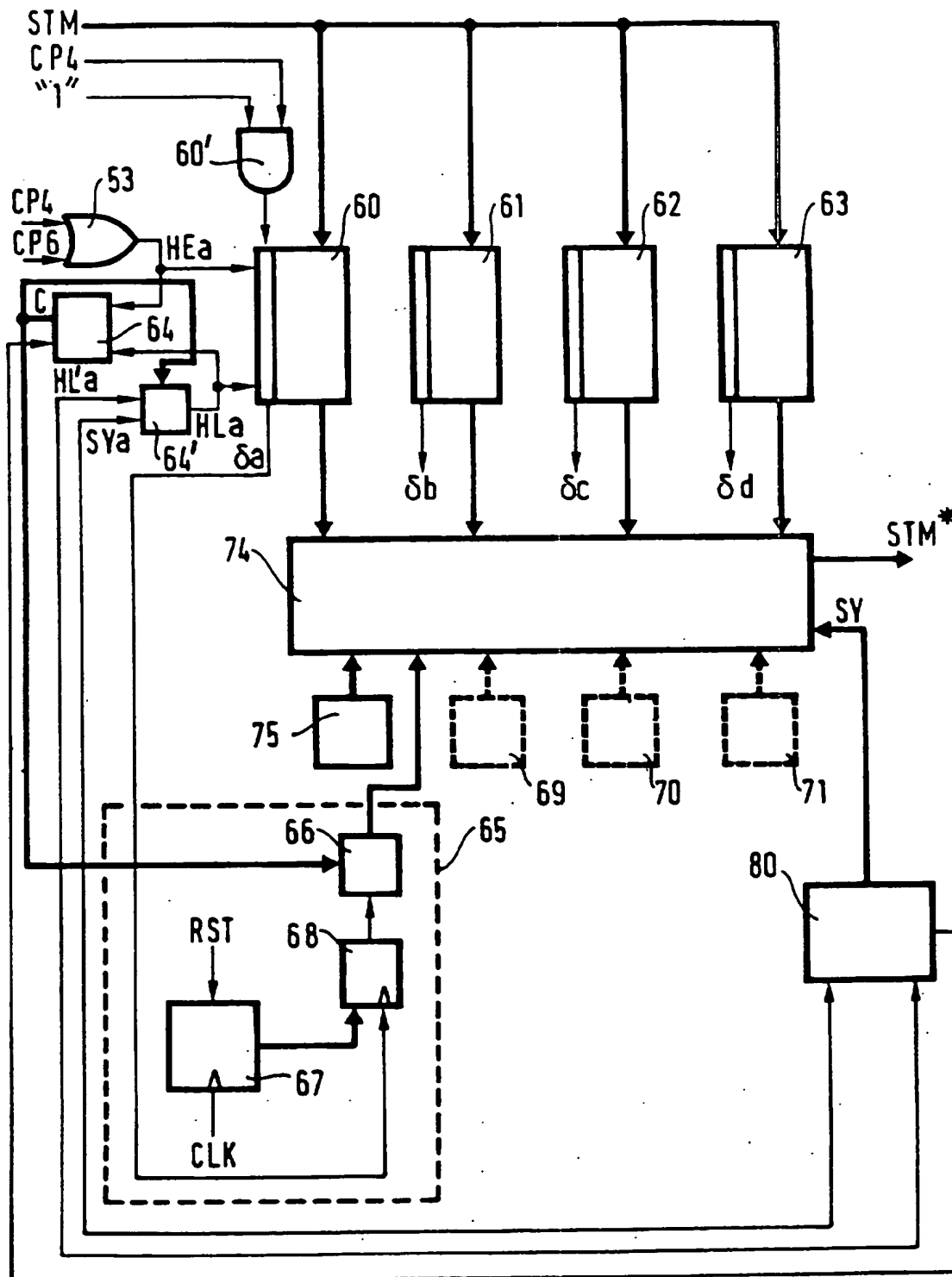


FIG.31

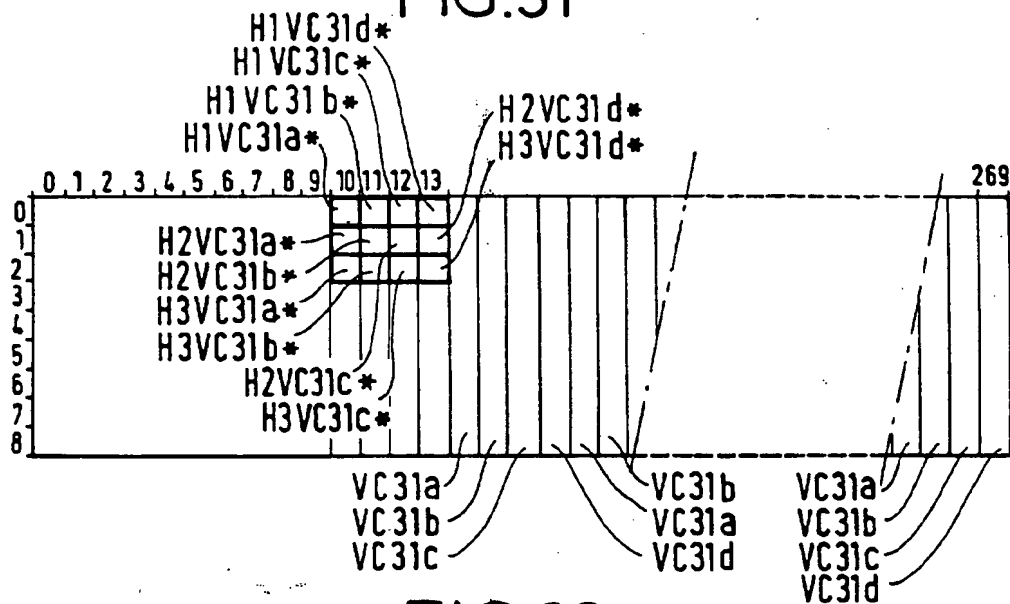


FIG.32

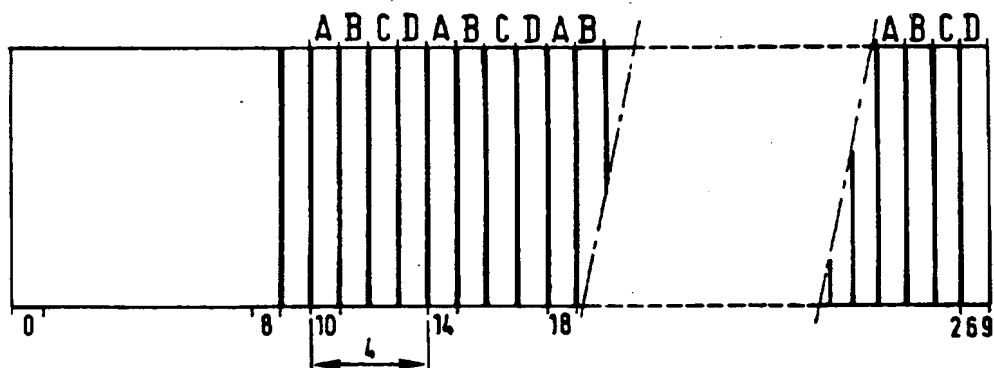
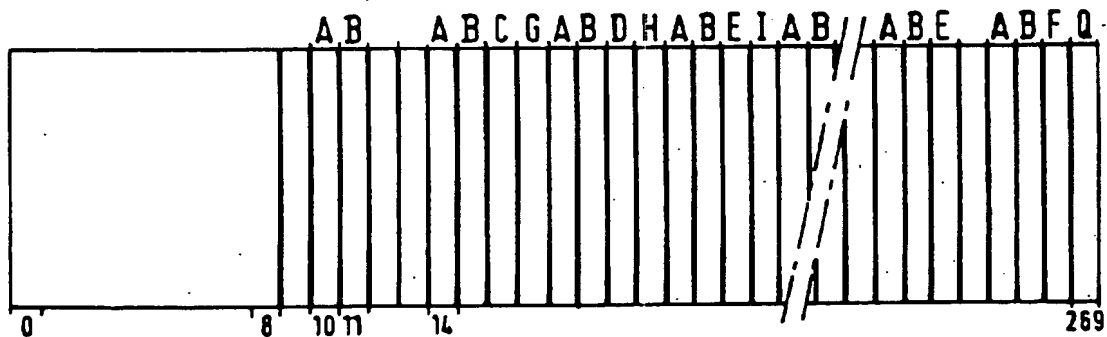


FIG.33



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**